

SinoMCU 8 位单片机

MC32F7122

用户手册

V1.1



上海晟矽微电子股份有限公司

Shanghai SinoMCU Microelectronics Co., Ltd.

目录

1	产品概要	4
1.1	产品特性	4
1.2	订购信息	5
1.3	引脚排列	6
1.4	端口说明	6
2	电气特性	8
2.1	极限参数	8
2.2	直流电气特性	8
2.3	交流电气特性	9
2.4	ADC 特性参数	9
2.5	比较器特性参数	10
2.6	OPA 特性参数	10
2.7	EEPROM 特性参数	10
3	CPU 及存储器	11
3.1	指令集	11
3.2	程序存储器	13
3.3	数据存储器	14
3.4	在线编程	15
3.5	堆栈	16
3.6	控制寄存器	16
3.7	用户配置字	19
4	系统时钟	20
4.1	内置高频 RC 振荡器	20
4.2	内置低频 RC 振荡器	20
4.3	工作模式	21
4.4	低功耗模式	22
5	复位	23
5.1	复位条件	23
5.2	上电复位	23
5.3	外部复位	24
5.4	低电压复位	24
5.5	看门狗复位	24
6	I/O 端口	25
6.1	I/O 工作模式	25
6.2	上/下拉电阻控制	26
7	定时器 TIMER	28
7.1	看门狗定时器 WDT	28
7.2	定时器 T0	28
7.3	定时器 T1	30
7.4	定时器 T2	31
7.5	定时器 T3	34
8	脉冲发生器 PPG	36

8.1	PPG 概述.....	36
8.2	PPG 结构框图.....	37
8.3	PPG 相关寄存器.....	37
9	模数转换器 ADC.....	40
9.1	ADC 概述.....	40
9.2	ADC 操作步骤.....	41
9.3	ADC 相关寄存器.....	41
9.4	ADC 零点偏移修调流程.....	44
10	模拟比较器 CP.....	46
10.1	比较器概述.....	46
10.2	比较器相关寄存器.....	46
10.3	比较器失调电压调校流程.....	51
11	运算放大器 OPA.....	52
11.1	OPA 概述.....	52
11.2	OPA 相关寄存器.....	52
11.3	OPA 失调电压调校流程.....	53
12	低电压检测 LVD.....	54
13	IIC 通讯接口.....	55
13.1	IIC 概述.....	55
13.2	IIC 相关寄存器.....	55
13.3	IIC 通讯流程.....	56
14	EEPROM.....	58
14.1	EEPROM 概述.....	58
14.2	EEPROM 相关寄存器.....	58
14.3	EEPROM 操作示例.....	59
15	中断.....	61
15.1	外部中断.....	61
15.2	定时器中断.....	61
15.3	ADC 中断.....	61
15.4	PPG 触发中断.....	62
15.5	比较器中断.....	62
15.6	IIC 通讯中断.....	62
15.7	LVD 中断.....	62
15.8	中断相关寄存器.....	62
16	特性曲线.....	66
16.1	I/O 特性.....	66
16.2	功耗特性.....	69
16.3	模拟电路特性.....	72
17	封装尺寸.....	74
17.1	DIP20.....	74
17.2	SOP16.....	74
17.3	DIP16.....	75
18	修订记录.....	76

1 产品概要

1.1 产品特性

- 8 位 CPU 内核
 - ◇ 精简指令集，8 级深度硬件堆栈
 - ◇ CPU 为双时钟，可在系统高/低频时钟之间切换
 - ◇ 高频时钟下 F_{CPU} 可配置为 2T/4T/8T/16T/32T/64T，低频时钟下 F_{CPU} 固定为 2T
- 程序存储器
 - ◇ 4K×16 位 FLASH 型程序存储器
 - ◇ 可通过间接寻址读取程序存储器内容
 - ◇ 支持在线烧录，擦写次数至少 1000 次
- 数据存储器
 - ◇ 256 字节 SRAM 通用数据存储器，支持直接寻址、间接寻址等多种寻址方式
 - ◇ 64 字节 EEPROM 型数据存储器，支持单独烧录和软件读写，擦写次数至少 10000 次
- 3 组共 18 个 I/O
 - ◇ P0 (P00~P07), P1 (P10~P17), P2 (P20~P21)
 - ◇ P00/P02 复用成 SCL/SDA 时为开漏输出
 - ◇ P1、P2 为大电流端口
 - ◇ 所有端口均支持推挽输出，均内置输入上/下拉电阻且可单独使能/禁用
- 时钟系统
 - ◇ 内置高频 RC 振荡器 (16MHz)，可用作系统高频时钟源
 - ◇ 内置低频 RC 振荡器 (32KHz)，可用作系统低频时钟源
- 多种系统工作模式
 - ◇ 高速模式：CPU 在高频时钟下运行，低频时钟源工作
 - ◇ 低速模式：CPU 在低频时钟下运行，高频时钟源可选停止或工作
 - ◇ HOLD 模式 1：CPU 停止运行，高频时钟源工作
 - ◇ HOLD 模式 2：CPU 停止运行，高频时钟源停止工作，低频时钟源工作
 - ◇ 休眠模式：CPU 停止运行，所有时钟源停止工作
- 内部自振式看门狗计数器 (WDT)
 - ◇ 溢出时间可配置：64ms/2048ms
 - ◇ 工作模式可配置：始终开启、始终关闭、低功耗模式下停止
- 4 个定时器
 - ◇ 8 位定时器 T0，可实现外部计数功能
 - ◇ 8 位定时器 T1，可实现比较器 CP0 输出下降沿计数功能
 - ◇ 8 位定时器 T2，可实现内/外部计数和高/低电平脉宽测量功能
 - ◇ 8 位定时器 T3，支持 PPG 模式（即支持单次定时且开启时禁止 PPG 重触发）
- 1 个 10 位脉冲发生器 PPG
 - ◇ 支持端口 PTRIG 输入电平下降沿、或比较器 CP0 输出的下降沿触发 PPG 计数；支持比较器 CP2 输出下降沿停止 PPG 计数；可通过寄存器控制位直接启动或停止 PPG 计数
 - ◇ 支持防重触发功能，支持触发去抖和触发延时功能并产生触发中断
 - ◇ PPG 输出有效时端口电平高/低可选，输出无效时端口为高阻态
 - ◇ PPG 时钟为 F_{HRC} 的 1/2/4/8 分频，PPG 分辨率最高可达 0.0625us

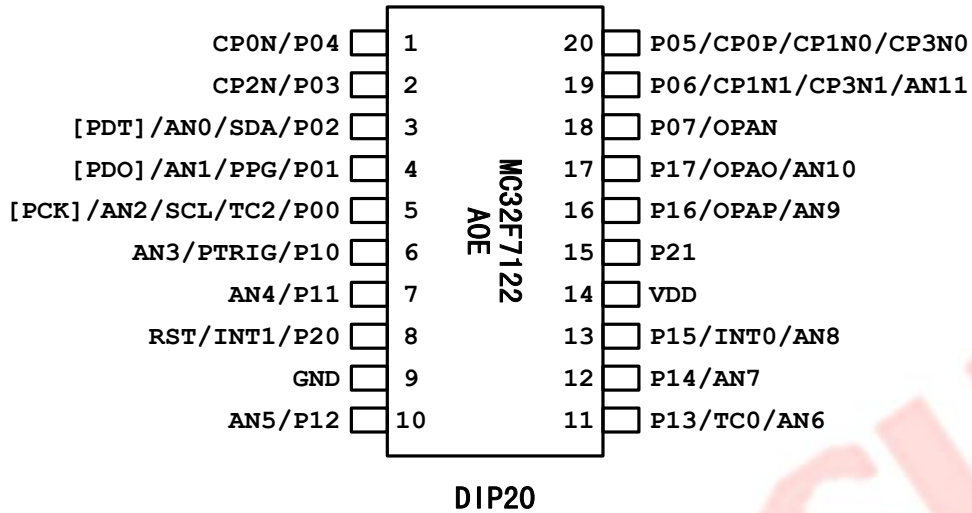
- 1 个 12 位高精度 ADC
 - ◇ 12 路外部通道: AN0~AN11; 2 路内部通道: GND、VDD/4
 - ◇ 参考电压可选: VDD、内部参考电压 V_{IR} (4V)
 - ◇ ADC 时钟: F_{HIRC} 的 8/16/32/64/128/256/512/1024 分频
 - ◇ 支持零点校准或外部输入校准
- 4 个比较器
 - ◇ 输入共模 $0V \sim (VDD-1.4)$, 支持正/负输入端偏移自消除模式 (调校精度为 $\pm 2mV$)
 - ◇ 比较器 CP0: 正/负输入端外接, 输出下降沿可触发 PPG
 - ◇ 比较器 CP1, 正端 16 级基准电压: $0.34VDD \sim 0.64VDD / 0.0625V_{IR} \sim 0.875V_{IR}$, 分压精度 1%
 - ◇ 比较器 CP2, 正端 8 级基准电压: $0.05VDD \sim 0.70VDD / 0.425V_{IR} \sim 0.8V_{IR}$, 分压精度 1%
 - ◇ 比较器 CP3, 正端 32 级基准电压: $0.08VDD \sim 0.70VDD / 0.1V_{IR} \sim 0.875V_{IR}$, 分压精度 1%
- 1 个运算放大器 OPA
 - ◇ 开环放大倍数 60dB
 - ◇ 输入共模 $0V \sim (VDD-1.4)$, 支持正/负输入端偏移自消除模式 (调校精度为 $\pm 2mV$)
 - ◇ 内置组合电路, 支持输出端作为 ADC 输入或比较器 CP3 负端输入
- 1 组 IIC 通讯接口
 - ◇ 支持 7 位地址编码的从机模式
 - ◇ 通讯速率最高支持 400Kbps
- 中断
 - ◇ 外部中断 (INT0~INT1)
 - ◇ 定时器中断 (T0~T3), ADC 中断, PPG 触发中断 (PTRIG/CP0), 比较器中断 (CP1~CP3), LVD 中断
 - ◇ IIC 通讯中断
- 低电压复位 LVR: 2.3V/2.7V/3.3V/4.1V
- 低电压检测 LVD: 3.3V/4.2V
- 工作电压
 - ◇ $V_{LVR27} \sim 5.5V @ F_{cpu} = 0 \sim 8MHz$
 - ◇ $V_{LVR23} \sim 5.5V @ F_{cpu} = 0 \sim 4MHz$
 - ◇ $V_{LVR23} \sim 5.5V @ F_{cpu} = 0 \sim 32KHz/2$
- 封装形式
 - ◇ DIP20/SOP16/DIP16

1.2 订购信息

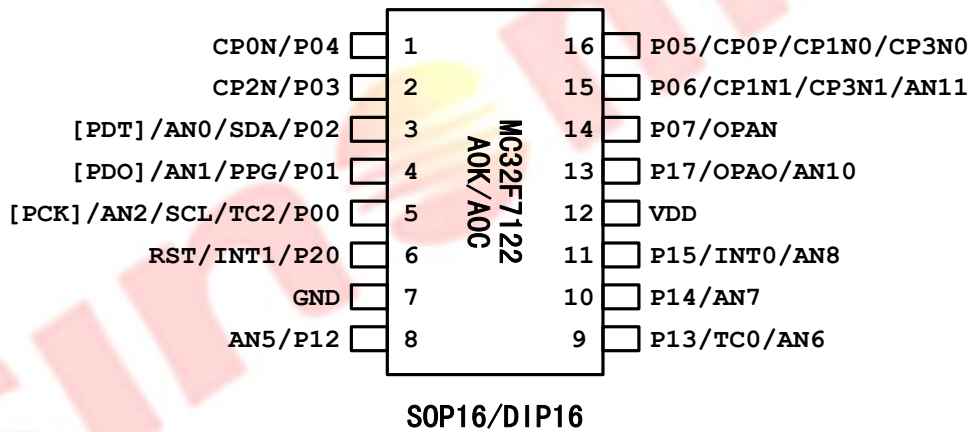
产品名称	封装形式	备注
MC32F7122A0E	DIP20	
MC32F7122A0K	SOP16	
MC32F7122A0C	DIP16	

1.3 引脚排列

MC32F7122A0E



MC32F7122A0K/A0C



1.4 端口说明

端口名称	类型	功能说明
VDD	P	电源
GND	P	地
P0, P1, P2	D	GPIO, 内部上/下拉
INT0~INT1	DI	外部中断输入
TC0, TC2	DI	定时器 T0、T2 的外部计数输入
PTRIG	DI	PPG 外部触发输入
PPG	DO	PPG 输出

AN0~AN11	AI	ADC 输入通道
CP0P, CP0N	AI	比较器 CP0 正端、负端输入
CP1N0~CP1N1	AI	比较器 CP1 负端输入通道 0~1
CP2N	AI	比较器 CP2 负端输入
CP3N0~CP3N1	AI	比较器 CP3 负端输入通道 0~1
OPAP, OPAN, OPAO	A	运放 OPA 正端、负端输入, OPA 输出
SCL, SDA	D	IIC 通讯时钟/数据端口, 开漏输出
RST	DI	外部复位输入
PCK, PDT, PDO	D	编程时钟/数据端口

注：P-电源，D-数字输入输出，DI-数字输入，DO-数字输出，A-模拟输入输出，AI-模拟输入，AO-模拟输出。

2 电气特性

2.1 极限参数

参数	符号	值	单位
电源电压	VDD	-0.3~6.0	V
输入电压	Vin	-0.3~VDD+0.3	V
工作温度	Ta	-40~85	°C
储存温度	Tstg	-65~150	°C
流入 VDD 最大电流	IVDDmax	50	mA
流出 GND 最大电流	IGNDmax	50	mA

注：若芯片工作条件超过极限值，将会造成永久性损坏；若芯片长时间工作在极限条件下，将会影响其可靠性。

2.2 直流电气特性

VDD=5V, T=25°C

特性	符号	端口	条件	最小	典型	最大	单位
工作电压	VDD	VDD	Fcpu=8MHz@HIRC/2	VLVR27		5.5	V
			Fcpu=4MHz@HIRC/4	VLVR23		5.5	
			Fcpu=16KHz@LIRC/2	VLVR23		5.5	
输入漏电流	Ileak	所有输入脚	VDD=5V	-1		1	uA
输入高电平	Vih	所有输入脚		0.8VDD			V
输入低电平	Vil	所有输入脚				0.2VDD	V
输出拉电流	Ioh1	P0	Voh=0.9VDD		10		mA
	Ioh2	P1, P2	Voh=0.9VDD		20		mA
输出灌电流	Iol1	P0	Vol=0.1VDD		15		mA
	Iol2	P1, P2	Vol=0.1VDD		30		mA
上拉电阻	Rpu	P0, P1, P2	Vin=0		30		KΩ
下拉电阻	Rpd	P0, P1, P2	Vin=VDD=5V		30		KΩ
动态功耗	Idd	VDD	Fcpu=8MHz@HIRC/2		4.0		mA
			Fcpu=4MHz@HIRC/4		3.0		mA
			Fcpu=2MHz@HIRC/8		2.7		mA
			Fcpu=1MHz@HIRC/16		2.5		mA
			Fcpu=16KHz@LIRC/2		20		uA
HOLD1 功耗	Ihold1	VDD	CPU 停, HIRC/LIRC 开		500		uA
HOLD2 功耗	Ihold2	VDD	CPU 停, HIRC 关, LIRC 开		3	6	uA
休眠模式功耗	Istop	VDD	休眠模式, WDT 关, LVR 关		1	2	uA
			休眠模式, WDT 关, LVR 开		45	60	uA

低压复位电压	V _{LVR23}	VDD		-10%	2.3	+10%	V
	V _{LVR27}			-10%	2.7	+10%	V
	V _{LVR33}			-10%	3.3	+10%	V
	V _{LVR41}			-10%	4.1	+10%	V
低压检测电压	V _{LVD}	VDD		-5%	3.3	+5%	V
				-5%	4.2	+5%	V

注：功耗特性参数的条件说明中，诸如 HIRC/LIRC/WDT/LVR/LVD/ADC 等未注明的模块默认为关闭状态。

2.3 交流电气特性

T=25°C

特性	符号	条件	最小	典型	最大	单位
HIRC 振荡频率	F _{HIRC}	T=25°C, VDD=5V	-2%	16	+2%	MHz
		T=-40°C~85°C, VDD=2.2V~5.5V	-4%	16	+4%	MHz
LIRC 振荡频率	F _{LIRC}	T=25°C, VDD=5V	-50%	32	+50%	KHz

2.4 ADC 特性参数

VDD=5V, T=25°C

特性	符号	条件	最小	典型	最大	单位
ADC 有效工作电压	V _{ADC}		2.7		5.5	V
积分线性误差	INL	V _{REF} =VDD, F _{ADC} =1MHz, T _{con} =20us			±4	LSB
微分线性误差	DNL	V _{REF} =VDD, F _{ADC} =1MHz, T _{con} =20us			±2	LSB
零点偏移误差	EZ	V _{REF} =VDD, F _{ADC} =1MHz, T _{con} =20us			±4	LSB
增益误差	ET	V _{REF} =VDD, F _{ADC} =1MHz, T _{con} =20us			±4	LSB
转换时钟	F _{ADC}	VDD=5V			2	MHz
转换时间	T _{con}	F _{ADC} =1MHz	16		27	us
ADC 输入电压	V _{AIN}		GND		V _{REF}	V
ADC 输入阻抗	R _{AIN}		2			MΩ
ADC 输入电流	I _{AIN}				2	uA
ADC 动态电流	I _{ADD}	VDD=5V, AD 转换中		1	3	mA
ADC 静态电流	I _{ADS}	VDD=5V, ADEN=0		0.1	1	uA
模拟信号源推荐阻抗	Z _{AIN}				10	KΩ
ADC 参考电压	V _{REF}	选择 VDD		VDD		V
		选择内部参考电压 V _{IR} , T=25°C	-2%	4.0	+2%	V
		选择内部参考电压 V _{IR} , T=-40°C~85°C	-3%	4.0	+3%	V
内部参考供电电压	V _{PIR}	选择内部参考电压 V _{IR}	V _{REF} +0.5		VDD	V

2.5 比较器特性参数

VDD=5V, T=25°C

特性	符号	条件	最小	典型	最大	单位
CP 有效工作电压	V _{CP}	T=-40°C~85°C	3.0		5.5	V
工作电流	I _{CP}	VDD=5.0V		200		uA
输入失调电压	V _{offset}	已调校	-2		+2	mV
		未调校	-15		+15	mV
输入共模电压	V _{com}	VDD=5.0V	0		VDD-1.4	V
响应时间	T _{RESP}				2	us
比较器参考电压	V _{CPR}	选择 VDD		VDD		V
		选择内部参考电压 V _{IR} , T=25°C	-1%	4.0	+1%	V
		选择内部参考电压 V _{IR} , T=-20°C~70°C	-2%	4.0	+2%	V

2.6 OPA 特性参数

VDD=5V, T=25°C

特性	符号	条件	最小	典型	最大	单位
OPA 有效工作电压	V _{OP}		2.7		5.5	V
输入电压范围	V _{OPI}		0		3.9	V
输入失调电压	V _{offset}	已调校	-2		+2	mV
		未调校	-15		+15	mV
输入共模电压	V _{com}	VDD=5.0V	0		VDD-1.4	V
输出电压摆幅	V _{OVs}		0	0.2	0.3	V
			4.7	4.8	5.0	V
电压摆率	SR		0.1	0.2		V/us
开环增益	A _{VOL}		60	80		dB
电源抑制比	PSRR		60	80		dB
共模抑制比	CMRR		60	80		dB
正输入端内置电阻	R _{OPAP}			6		KΩ
输出端内置电阻	R _{OPAO}			60		KΩ

2.7 EEPROM 特性参数

特性	符号	条件	最小	典型	最大	单位
EEPROM 读电压	V _{EERD}	T=-40°C~85°C	1.8		5.5	V
EEPROM 写电压	V _{EEWR}	T=-40°C~85°C	2.6		5.5	V
EEPROM 字节写入时间	T _{EEWR}	T=25°C, VDD=5V			1	ms
		T=-40°C~85°C, VDD=2.6V~5.5V			20	ms
擦写次数(字节写)		T=25°C, VDD=5V	10000			cycle

3 CPU 及存储器

3.1 指令集

本芯片指令集为精简指令集。除程序跳转类指令，其余指令均为单周期指令，即执行时间为 1 个指令周期；所有指令均为单字指令，即指令码只占用 1 个程序存储器地址空间。

指令汇总表

助记符	说明	操作	周期	长度	标志
ADDAR R	R 和 ACC 相加，结果存到 ACC	R+ACC→ACC	1	1	C,DC,Z
ADDRA R	R 和 ACC 相加，结果存到 R	R+ACC→R	1	1	C,DC,Z
ADCAR R	R 和 ACC 相加（带 C 标志），结果存到 ACC	R+ACC+C→ACC	1	1	C,DC,Z
ADCRA R	R 和 ACC 相加（带 C 标志），结果存到 R	R+ACC+C→R	1	1	C,DC,Z
RSUBAR R	R 和 ACC 相减，结果存到 ACC	R-ACC→ACC	1	1	C,DC,Z
RSUBRA R	R 和 ACC 相减，结果存到 R	R-ACC→R	1	1	C,DC,Z
RSBCAR R	R 和 ACC 相减（带 C 标志），结果存到 ACC	R-ACC-/C→ACC	1	1	C,DC,Z
RSBCRA R	R 和 ACC 相减（带 C 标志），结果存到 R	R-ACC-/C→R	1	1	C,DC,Z
ASUBAR R	ACC 和 R 相减，结果存到 ACC	ACC-R→ACC	1	1	C,DC,Z
ASUBRA R	ACC 和 R 相减，结果存到 R	ACC-R→R	1	1	C,DC,Z
ASBCAR R	ACC 和 R 相减（带 C 标志），结果存到 ACC	ACC-R-/C→ACC	1	1	C,DC,Z
ASBCRA R	ACC 和 R 相减（带 C 标志），结果存到 R	ACC-R-/C→R	1	1	C,DC,Z
ANDAR R	R 和 ACC 与操作，结果存到 ACC	R and ACC→ACC	1	1	Z
ANDRA R	R 和 ACC 与操作，结果存到 R	R and ACC→R	1	1	Z
ORAR R	R 和 ACC 或操作，结果存到 ACC	R or ACC→ACC	1	1	Z
ORRA R	R 和 ACC 或操作，结果存到 R	R or ACC→R	1	1	Z
XORAR R	R 和 ACC 异或操作，结果存到 ACC	R xor ACC→ACC	1	1	Z
XORRA R	R 和 ACC 异或操作，结果存到 R	R xor ACC→R	1	1	Z
COMAR R	对 R 取反，结果存到 ACC	R 取反→ACC	1	1	Z
COMR R	对 R 取反，结果存到 R	R 取反→R	1	1	Z
RLA	ACC 循环左移（带 C 标志）	ACC[7]→C ACC[6:0]→ACC[7:1] C→ACC[0]	1	1	C
RLAR R	R 循环左移（带 C 标志），结果存到 ACC	R[7]→C R[6:0]→ACC[7:1] C→ACC[0]	1	1	C
RLR R	R 循环左移（带 C 标志），结果存到 R	R[7]→C R[6:0]→R[7:1] C→R[0]	1	1	C
RRA	ACC 循环右移（带 C 标志）	C→ACC[7] ACC[7:1]→ACC[6:0] ACC[0]→C	1	1	C

RRAR	R	R 循环右移 (带 C 标志), 结果存到 ACC	C→ACC[7] R[7:1]→ACC[6:0] R[0]→C	1	1	C
RRR	R	R 循环右移 (带 C 标志), 结果存到 R	C→R[7] R[7:1]→R[6:0] R[0]→C	1	1	C
SWAPAR	R	交换 R 的高低半字节, 结果存到 ACC	R[7:4]→ACC[3:0] R[3:0]→ACC[7:4]	1	1	-
SWAPR	R	交换 R 的高低半字节, 结果存到 R	R[7:4]→R[3:0] R[3:0]→R[7:4]	1	1	-
MOVRA	R	将 ACC 存到 R	ACC→R	1	1	-
MOVAR	R	将 R 存到 ACC	R→ACC	1	1	Z
MOVR	R	将 R 存到 R	R→R	1	1	Z
CLRA		对 ACC 清零	0→ACC	1	1	Z
CLRR	R	对 R 清零	0→R	1	1	Z
INCA		ACC 自加 1	ACC+1→ACC	1	1	-
INCAR	R	R 加 1, 结果存到 ACC	R+1→ACC	1	1	Z
INCR	R	R 加 1, 结果存到 R	R+1→R	1	1	Z
DECA		ACC 自减 1	ACC-1→ACC	1	1	-
DECAR	R	R 减 1, 结果存到 ACC	R-1→ACC	1	1	Z
DECR	R	R 减 1, 结果存到 R	R-1→R	1	1	Z
JZA		ACC 自加 1; 结果为 0 则跳过下一条指令	ACC+1→ACC; 结果为 0 则 PC+2→PC	1/2	1	-
JZAR	R	R 加 1, 结果存到 ACC; 结果为 0 则跳过下一条指令	R+1→ACC; 结果为 0 则 PC+2→PC	1/2	1	-
JZR	R	R 加 1, 结果存到 R; 结果为 0 则跳过下一条指令	R+1→R; 结果为 0 则 PC+2→PC	1/2	1	-
DJZA		ACC 自减 1; 结果为 0 则跳过下一条指令	ACC-1→ACC; 结果为 0 则 PC+2→PC	1/2	1	-
DJZAR	R	R 减 1, 结果存到 ACC; 结果为 0 则跳过下一条指令	R-1→ACC; 结果为 0 则 PC+2→PC	1/2	1	-
DJZR	R	R 减 1, 结果存到 R; 结果为 0 则跳过下一条指令	R-1→R; 结果为 0 则 PC+2→PC	1/2	1	-
BCLR	R, b	对 R 的第 b 位清 0	0→R[b]	1	1	-
BSET	R, b	对 R 的第 b 位置 1	1→R[b]	1	1	-
JBCLR	R, b	若 R 的第 b 位为 0 则跳过下一条指令	若 R[b]=0, 则 PC+2→PC	1/2	1	-
JBSET	R, b	若 R 的第 b 位为 1 则跳过下一条指令	若 R[b]=1, 则 PC+2→PC	1/2	1	-
ADDAI	K	K 和 ACC 相加, 结果存到 ACC	K+ACC→ACC	1	1	C,DC,Z
ADCAI	K	K 和 ACC 相加 (带 C 标志), 结果存到 ACC	K+ACC+C→ACC	1	1	C,DC,Z
ISUBAI	K	K 和 ACC 相减, 结果存到 ACC	K-ACC→ACC	1	1	C,DC,Z
ISBCAI	K	K 和 ACC 相减 (带 C 标志), 结果存到 ACC	K-ACC-/C→ACC	1	1	C,DC,Z
ASUBAI	K	ACC 和 K 相减, 结果存到 ACC	ACC-K→ACC	1	1	C,DC,Z
ASBCAI	K	ACC 和 K 相减 (带 C 标志), 结果存到 ACC	ACC-K-/C→ACC	1	1	C,DC,Z
ANDAI	K	K 和 ACC 与操作, 结果存到 ACC	K and ACC→ACC	1	1	Z
ORAI	K	K 和 ACC 或操作, 结果存到 ACC	K or ACC→ACC	1	1	Z
XORAI	K	K 和 ACC 异或操作, 结果存到 ACC	K xor ACC→ACC	1	1	Z
MOVAI	K	将 K 存到 ACC	K→ACC	1	1	-
CALL	K	子程序调用	PC+1→TOS K→PC[12:0]	2	1	-

GOTO K	无条件跳转	K→PC[12:0]	2	1	-
RETURN	从子程序返回	TOS→PC	2	1	-
RETAI K	从子程序返回，并将 K 存到 ACC	TOS→PC K→ACC	2	1	-
RETIE	从中断返回	TOS→PC 1→GIE	2	1	-
NOP	空操作	空操作	1	1	-
DAA	BCD 码加法后，将 ACC 的值调整为 BCD 码	ACC(十六进制)→ACC(十进制)	1	1	C
DSA	BCD 码减法后，将 ACC 的值调整为 BCD 码	ACC(十六进制)→ACC(十进制)	1	1	-
CLRWDT	清看门狗定时器	0→WDT	1	1	TO,PD
STOP	进入低功耗模式	0→WDT；进入低功耗模式	1	1	TO,PD

注：

1. ACC-算术逻辑单元累加器，R-数据存储器，K-立即数；
2. 对于条件跳转类指令，若跳转条件成立，则指令需 2 个周期，否则只需 1 个周期；

3.2 程序存储器

本芯片的程序存储器为 FLASH 型存储器，4K×16 位的地址为 0000H~0FFFH。
程序存储器地址分配如下图所示：

复位向量 (0000H)
通用程序区 (0000H - 0007H)
中断向量 (0008H)
通用程序区 (0000H - 0FFFH)

程序存储器支持间接寻址，可通过寄存器 INDF3 访问 FSR1×256+FSR0 指向的程序存储器地址中的内容。例：通过间接寻址读取程序存储器 0155H 地址中的内容，高 8 位存入数据存储器 11H 地址，低 8 位存入数据存储器 10H 地址

```

MOVAI    01H
MOVRA    FSR1           ; 将 01H 写入 FSR1
MOVAI    55H
MOVRA    FSR0           ; 将 55H 写入 FSR0
MOVAR    INDF3         ; 读取 FSR1×256+FSR0 指向的程序存储器地址 (0155H)
                                ; 中的内容，高 8 位存入 HIBYTE，低 8 位存入 A 寄存器
MOVRA    10H           ; 低 8 位存入数据存储器 10H 地址
MOVAR    HIBYTE        ; 从 HIBYTE 读取高 8 位
MOVRA    11H           ; 高 8 位存入数据存储器 11H 地址
    
```

3.3 数据存储器

数据存储器包括通用数据存储器 GPR 和特殊功能寄存器 SFR，具体地址分配参照下表。GPR 可直接寻址或通过 INDF0/INDF2 间接寻址，SFR 可直接寻址或通过 INDF1/INDF2 间接寻址。

数据存储器还包括 EEPROM 存储器，需通过特殊寄存器 SFR 进行读写操作。

数据存储器区地址映射表

地址	类型	0/8	1/9	2/A	3/B	4/C	5/D	6/E	7/F
000H-0FFH	GPR	通用数据存储器区							
100H-17FH	保留	保留							
180H-187H	SFR	INDF0	INDF1	INDF2	HIBYTE	FSR0	FSR1	PCL	PFLAG
188H-18FH		MCR	INDF3	INTE	INTF	OSCM	INTE1	INTF1	LVDCR
190H-197H		IOP0	OEP0	PUP0	PDP0	IOP1	OEP1	PUP1	PDP1
198H-19FH		IOP2	OEP2	PUP2	PDP2				
1A0H-1A7H		T0CR	TOCNT	TOLOAD			T1CR	T1CNT	T1LOAD
1A8H-1AFH		T2CR	T2CNT	T2LOAD		T2EFR	T3CR	T3CNT	T3LOAD
1B0H-1B7H		IICCR	IICAR	IICDR		ECCR	EEMASK	EEAR	EEDR
1B8H-1BFH		ADCR0	ADCR1	ADRH	ADRL			OSADJCR	
1C0H-1C7H		PPGCR	PPGLDH	PPGLDL	PPGTDL	PPGTDB	OPACR	OPACLR	
1C8H-1CFH		CPCR	CPSR	CPVR0	CPVR1	CP0CLR	CP1CLR	CP2CLR	CP3CLR
1D0H-1FFH		保留							

注：上表中灰色部分地址为系统保留区，读出数据不确定，写入操作可能会影响芯片正常工作。

数据存储器寻址地址组成

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	寻址方式	
0	0	0	0	0	0	0	来自指令的 9 位地址									直接寻址模式	
0	0	0	0	0	0	0	0	FSR0									间接寻址模式 0
0	0	0	0	0	0	0	1	FSR1									间接寻址模式 1
FSR1							FSR0									间接寻址模式 2	

直接寻址模式，是以指令的低 9 位为数据存储器地址，通过指令访问，寻址范围为 000H~1FFH。

例：通过直接寻址模式将数据 55H 写入数据存储器 10H 地址

```
MOVAI    55H
MOVRA    10H    ; 将数据 55H 写入数据存储器 10H 地址
```

间接寻址模式 0，是以 FSR0 为数据存储器地址指针，通过 INDF0 访问，寻址范围为 000H~0FFH。

例：通过间接寻址模式 0 将数据 55H 写入数据存储器 010H 地址

```
MOVAI    10H
MOVRA    FSR0
MOVAI    55H
MOVRA    INDF0    ; 将数据 55H 写入 FSR0 指向的数据存储器中
```


间接寻址模式 1，是以 FSR1 为数据存储器地址指针，通过 INDF1 访问，寻址范围为 100H~1FFH。

例：通过间接寻址模式 1 将数据 55H 写入数据存储器 110H 地址

```

MOVAI    10H
MOVRA    FSR1
MOVAI    55H
MOVRA    INDF1          ; 将数据 55H 写入 FSR1 指向的数据存储器中
    
```

间接寻址模式 2，是以 [FSR1:FSR0] 为数据存储器地址指针，通过 INDF2 访问，寻址范围为 0000H ~ FFFFH。例：通过间接寻址模式 2 将数据 55H 写入数据存储器 0110H 地址

```

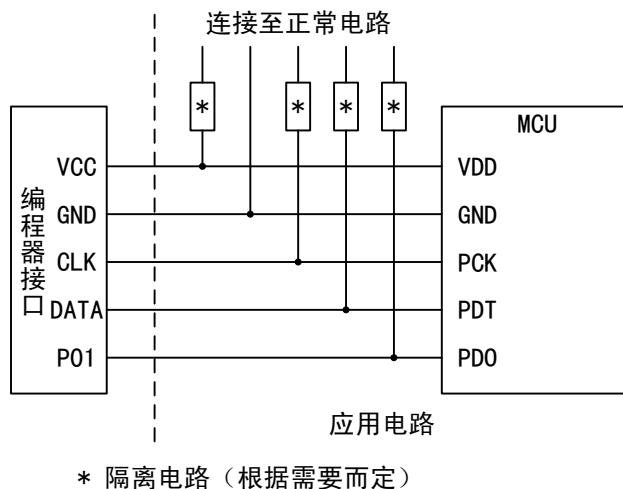
MOVAI    01H
MOVRA    FSR1
MOVAI    10H
MOVRA    FSR0
MOVAI    55H
MOVRA    INDF2          ; 将数据 55H 写入 FSR1×256+FSR0 指向的数据存储器中
    
```

注：间接寻址模式 2 可寻址 0~FFFFH，但访问本芯片数据存储器中未定义的地址时，读出数据不确定，写入数据可能会更改其他地址中的数据。

3.4 在线编程

芯片支持对程序存储器的在线编程，即可在最终应用电路中通过芯片的串行编程接口将用户程序代码烧录进程序存储器中。在线编程功能，可让用户先采用未编程的空芯片制造电路板而仅在产品交付前才将程序代码烧录进芯片，也方便用户直接在电路板上升级芯片中的程序代码。

本芯片的在线编程通过引脚 VDD、GND、PDT、PCK、PDO 实现，这些编程引脚的外围电路需进行针对性设计，以保证外围电路不会影响在线编程时端口上的电压/电流/时序等特性。下图是典型的在线编程连接图：



3.5 堆栈

8 级堆栈深度，当程序响应中断或执行子程序调用指令时 CPU 会将 PC 自动压栈；当执行中断返回指令或子程序返回指令时，栈顶数据赋予 PC。

3.6 控制寄存器

间接寻址寄存器 0

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INDF0	INDF07	INDF06	INDF05	INDF04	INDF03	INDF02	INDF01	INDF00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	X	X	X	X	X	X	X	X

BIT[7:0] **INDF0[7:0]** – 间接寻址寄存器 0

INDF0: INDF0 不是物理寄存器，对 INDF0 寻址实际是对 FSR0 指向的数据存储器地址进行访问，从而实现间接寻址模式。

间接寻址寄存器 1

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INDF1	INDF17	INDF16	INDF15	INDF14	INDF13	INDF12	INDF11	INDF10
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	X	X	X	X	X	X	X	X

BIT[7:0] **INDF1[7:0]** – 间接寻址寄存器 1

INDF1: INDF1 不是物理寄存器，对 INDF1 寻址实际是对 FSR1+256 指向的数据存储器地址进行访问，从而实现间接寻址模式。

间接寻址寄存器 2

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INDF2	INDF27	INDF26	INDF25	INDF24	INDF23	INDF22	INDF21	INDF20
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	X	X	X	X	X	X	X	X

BIT[7:0] **INDF2[7:0]** – 间接寻址寄存器 2

INDF2: INDF2 不是物理寄存器，对 INDF2 寻址实际是对 FSR1×256+FSR0 指向的数据存储器地址进行访问，从而实现间接寻址模式。

间接寻址寄存器 3

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INDF3	INDF37	INDF36	INDF35	INDF34	INDF33	INDF32	INDF31	INDF30
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	X	X	X	X	X	X	X	X

BIT[7:0] **INDF3[7:0]** – 间接寻址寄存器 3

INDF3: INDF3 不是物理寄存器, 对 INDF3 寻址实际是对 FSR1×256+FSR0 指向的程序存储器地址进行访问, 从而实现间接寻址模式。

注: 对 INDF3 仅可使用读取指令 (MOVAR INDF3) 进行读取访问, 读取内容高 8 位存放在 HIBYTE, 低 8 位存放在 A 寄存器。

字操作高 8 位缓冲器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
HIBYTE	HIBYTE7	HIBYTE6	HIBYTE5	HIBYTE4	HIBYTE3	HIBYTE2	HIBYTE1	HIBYTE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	X	X	X	X	X	X	X	X

BIT[7:0] **HIBYTE[7:0]** – 字操作高字节缓冲器

HIBYTE: 用于读取 INDF3 时存放 FSR1×256+FSR0 指向的程序存储器内容高 8 位数据。

数据指针寄存器 0

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FSR0	FSR07	FSR06	FSR05	FSR04	FSR03	FSR02	FSR01	FSR00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	X	X	X	X	X	X	X	X

BIT[7:0] **FSR0[7:0]** – 数据指针寄存器 0

FSR0: 间接寻址模式 0 的指针, 或间接寻址模式 2、3 的指针低 8 位。

数据指针寄存器 1

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FSR1	FSR17	FSR16	FSR15	FSR14	FSR13	FSR12	FSR11	FSR10
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	X	X	X	X	X	X	X	X

BIT[7:0] **FSR1[7:0]** – 数据指针寄存器 1

FSR1: 间接寻址模式 1 的指针, 或间接寻址模式 2、3 的指针高 8 位。

程序指针计数器低字节

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCL	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7:0] **PC[7:0]** – 程序指针计数器低 8 位

程序指针计数器 (PC) 有以下几种操作模式:

- ◇ 顺序运行指令: $PC = PC + 1$;
- ◇ 分支指令 GOTO/CALL: $PC =$ 指令码低 13 位;
- ◇ 返回指令 RETIE/RETURN/RETAI: $PC =$ 堆栈栈顶 (TOS);

对 PCL 操作指令:

- ◇ 对 PCL 操作的加法指令: $PC = (PC[15:0] + ALU[7:0])$;
- ◇ 对 PCL 操作的其它指令: $PC = \{PC[15:8]:ALU[7:0](ALU \text{ 运算结果})\}$;

CPU 状态寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PFLAG	-	-	-	-	-	Z	DC	C
R/W	-	-	-	-	-	R/W	R/W	R/W
初始值	-	-	-	-	-	X	X	X

BIT[2]

Z – 零标志位

- 0: 算术或逻辑运算的结果不为零;
- 1: 算术或逻辑运算的结果为零;

BIT[1]

DC – 半字节进/借位标志位

- 0: 加法运算时半字节无进位; 减法运算时半字节有借位;
- 1: 加法运算时半字节有进位; 减法运算时半字节无借位;

BIT[0]

C – 进/借位标志位

- 0: 加法运算时无进位; 减法运算时有借位; 移位后移出逻辑 0;
- 1: 加法运算时有进位; 减法运算时无借位; 移位后移出逻辑 1;

杂项控制寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MCR	GIE	-	TO	PD	MINT11	MINT10	MINT01	MINT00
R/W	R/W	-	R	R	R/W	R/W	R/W	R/W
初始值	0	-	0	0	0	0	0	0

BIT[7]

GIE – 中断总使能位

- 0: 屏蔽所有中断;
- 1: 中断源是否产生中断由相应的中断控制位决定;

BIT[5]

TO – 看门狗溢出标志位

- 0: 上电复位; 执行 CLRWDT 或 STOP 指令;
- 1: 发生 WDT 溢出;

BIT[4]

PD – 进入低功耗模式标志位

- 0: 上电复位; 执行 CLRWDT 指令;
- 1: 执行 STOP 指令;

BIT[3:2] **MINT1[1:0]** – 外部中断 INT1 触发方式选择位

MINT1[1:0]	INT1 触发方式
00	上升沿触发
01	下降沿触发
1X	电平变化触发

BIT[1:0] **MINT0[1:0]** – 外部中断 INT0 触发方式选择位

MINT0[1:0]	INT0 触发方式
00	上升沿触发
01	下降沿触发
1X	电平变化触发

3.7 用户配置字

芯片为保证系统正常工作，会将关键模块的配置信息预先存储于单独的存储器区域中，在上电或其他复位发生后将配置信息载入寄存器中，通过寄存器配置关键模块的工作状态。该部分存储器中用户可选的内容即为用户配置字，可在烧录用户程序代码时进行配置与烧录。

本芯片的用户配置字，定义如下：

符号	功能说明
FCPUS	CPU 高速模式时钟频率选择： $FCPU = F_{HOSC}/2$; $FCPU = F_{HOSC}/4$; $FCPU = F_{HOSC}/8$; $FCPU = F_{HOSC}/16$; $FCPU = F_{HOSC}/32$; $FCPU = F_{HOSC}/64$;
VLVRS	LVR 复位电压选择： 2.3V ; 2.7V ; 3.3V ; 4.1V ;
LVRSLP	LVR 低功耗模式设置： LVR 低功耗模式下使能； LVR 低功耗模式下关闭；
WDTM	WDT 模式设置： WDT 始终关闭； WDT 低功耗模式下关闭； WDT 始终开启；
WDTT	WDT 溢出时间选择： $PWRT = TWDT = 64ms$; $PWRT = 64ms$, $TWDT = 2048ms$;
RSTEN	RST 外部复位设置： P20 用作复位脚； P20 用作 I/O 脚；
ENCR	代码加密设置： 程序代码加密； 程序代码不加密；

4 系统时钟

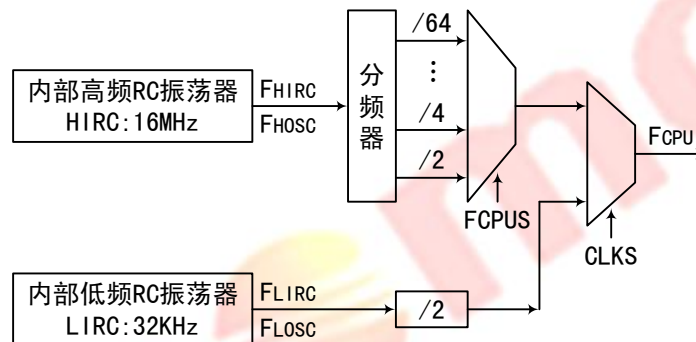
本芯片为双时钟系统，内部电路均在系统高频时钟 F_{HOSC} 或系统低频时钟 F_{LOSC} 下工作，部分模块还可在 F_{HOSC} 和 F_{LOSC} 之间切换。

本芯片系统高频时钟源固定为内部 16MHz 高频 RC 振荡器；系统低频时钟源固定为内部 32KHz 低频 RC 振荡器。

CPU 的时钟源可在系统高频时钟 F_{HOSC} 和系统低频时钟 F_{LOSC} 之间切换。选择 F_{HOSC} 时，CPU 时钟 F_{CPU} 通过 $FCPUS$ 配置；选择 F_{LOSC} 时， F_{CPU} 固定为 F_{LOSC} 的 2 分频。

WDT（看门狗）电路的时钟源固定为内部低频 RC 振荡器。

系统时钟示意图



4.1 内置高频 RC 振荡器

本芯片内置一个高精度 16MHz 的 HIRC 振荡器，该振荡器可用作系统高频时钟源。

4.2 内置低频 RC 振荡器

本芯片内置一个典型值为 32KHz 的 LIRC 振荡器，该振荡器可用作系统低频时钟源，同时用于上电延时定时器、WDT 定时器等电路。

4.3 工作模式

本芯片支持高速运行、低速运行、HOLD 模式 1、HOLD 模式 2 和休眠模式等多种系统工作模式。

工作模式	切换条件	系统状态
高速运行	复位 低速运行模式下, CLKS 清0 HOLD 模式1/HOLD 模式2/休眠模式下, 唤醒	CPU 高速运行, 高/低频时钟源均工作
低速运行	高速运行模式下, CLKS 置1 HOLD 模式1/HOLD 模式2/休眠模式下, 唤醒	CPU 低速运行, 高频时钟源状态由 HFEN 决定
HOLD1	高/低速运行模式下, HFEN 置1, 执行 STOP	CPU 暂停, 高频时钟源工作, 低频时钟源状态由 LFEN 决定
HOLD2	高/低速运行模式下, HFEN 清0, LFEN 置1, 执行 STOP	CPU 暂停, 高频时钟源停止, 低频时钟源工作
休眠	高/低速运行模式下, HFEN 清0, LFEN 清0, 执行 STOP	CPU 暂停, 高/低频时钟源均停止

注: WDT 时钟源为 LIRC, WDT 工作时 LIRC 将不受工作模式影响。

工作模式寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OSCM	-	-	STBL	STBH	-	CLKS	LFEN	HFEN
R/W	-	-	R	R	-	R/W	R/W	R/W
初始值	-	-	X	1	-	0	0	0

BIT[5] **STBL** – 低频时钟源稳定标志位

- 0: 低频时钟源停振或未稳定;
- 1: 低频时钟源已稳定运行;

BIT[4] **STBH** – 高频时钟源稳定标志位

- 0: 高频时钟源停振或未稳定;
- 1: 高频时钟源已稳定运行;

BIT[2] **CLKS** – CPU 时钟源选择位

- 0: 系统高频时钟作为 CPU 时钟源;
- 1: 系统低频时钟作为 CPU 时钟源;

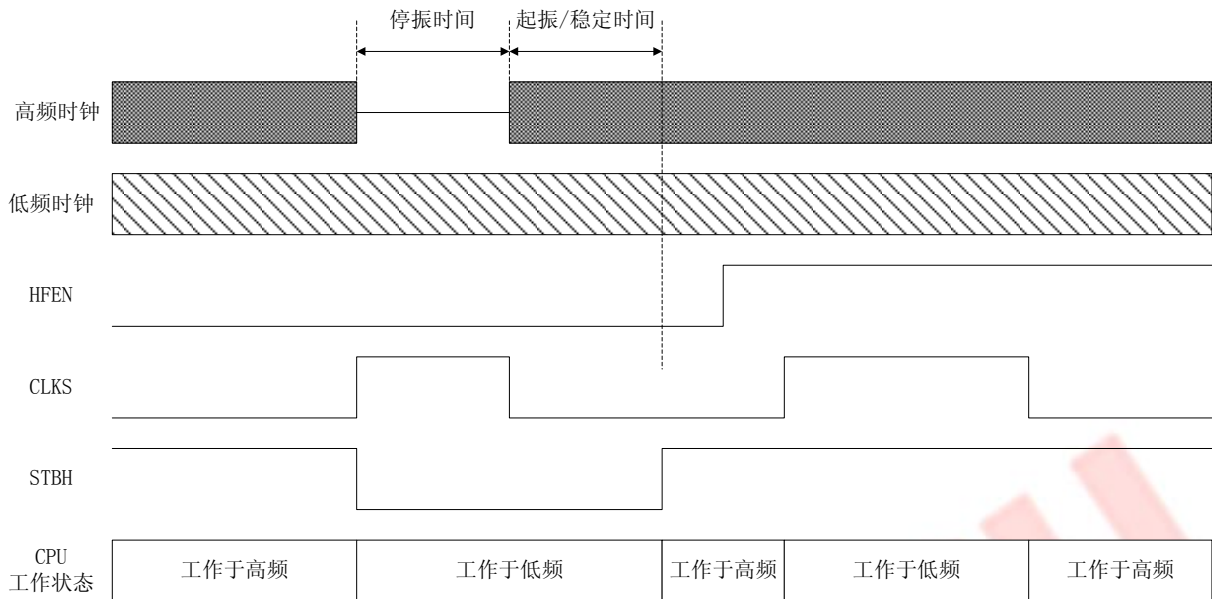
BIT[1] **LFEN** – 低频时钟源使能位

- 0: 在休眠/HOLD 模式下, 低频时钟源停止工作;
- 1: 低频时钟源始终工作;

BIT[0] **HFEN** – 高频时钟源使能位

- 0: 在低速/休眠/HOLD 模式下, 高频时钟源停止工作;
- 1: 高频时钟源始终工作;

高低频时钟切换时序图



4.4 低功耗模式

本芯片的低功耗模式包括休眠模式、HOLD 模式 1、HOLD 模式 2。STOP 指令可使系统进入低功耗模式，同时对系统会产生以下影响：

- ◇ CPU 停止运行；
- ◇ 根据不同模式停止相应时钟源的振荡；
- ◇ RAM 内容保持不变；
- ◇ 所有的输入输出端口保持原态不变；
- ◇ 定时器若其时钟源未停止，则可以保持继续工作；

以下情况可使系统退出低功耗模式：

- ◇ 有外部中断请求发生（若有外部中断功能）；
- ◇ 定时器溢出中断发生（若低功耗模式下定时器保持继续工作）；
- ◇ PPG 触发中断或比较器中断发生；
- ◇ LVD 中断发生；
- ◇ 有 WDT 溢出（若低功耗模式下 WDT 保持继续工作）；
- ◇ 外部复位（若有外部复位功能）；
- ◇ 上电复位；

注：低功耗模式下产生中断请求时，若相应中断使能位关闭，则不会退出低功耗模式；若仅中断使能位打开而中断总使能位关闭，则仅唤醒 CPU 执行下一条指令；若中断使能位和中断总使能位 GIE 均打开，则唤醒 CPU 后执行中断服务程序。

5 复位

5.1 复位条件

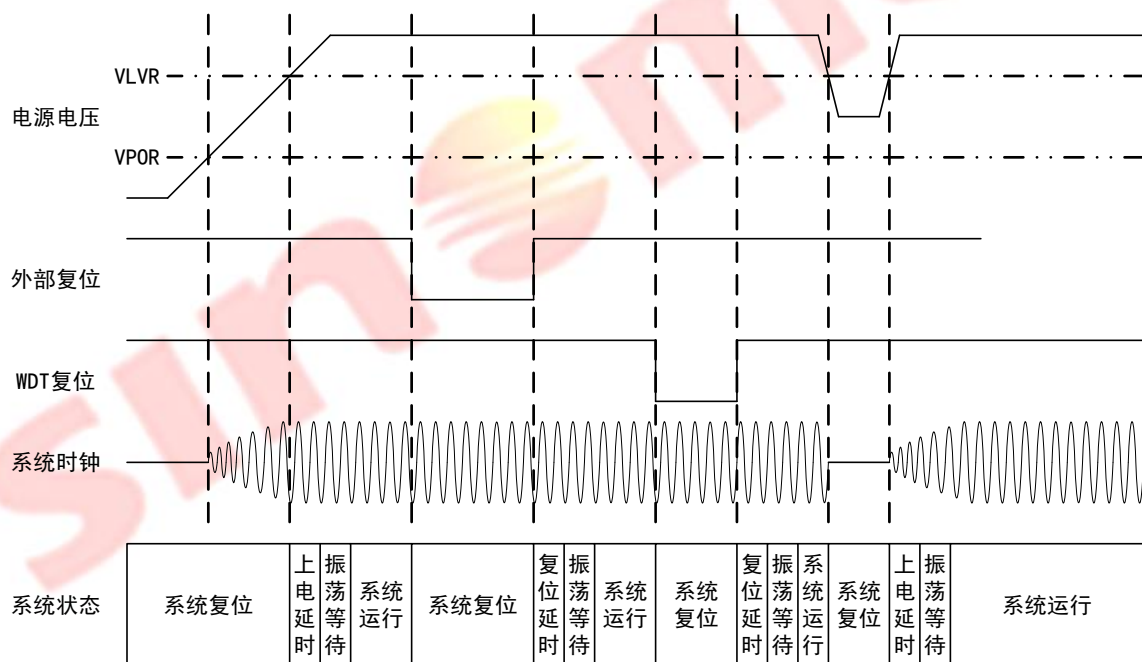
本芯片有如下几种复位方式：

- ◇ 上电复位 POR；
- ◇ 外部复位；
- ◇ 低电压复位 LVR；
- ◇ WDT 看门狗复位；

任何一种复位发生时，系统将会重新从 0000H 地址处开始执行指令；另外系统还会将所有特殊功能寄存器 SFR 重置为默认初始值。

上电复位和 LVR 复位会关闭系统主时钟振荡器，复位解除后才重新打开振荡器，由于振荡器起振和稳定需要一定的时间，所以系统会保持一定时间的上电延时和振荡等待后才开始工作；外部复位和 WDT 复位不会关闭系统主时钟振荡器，复位解除时系统会在较短的复位延时和振荡等待后即开始工作。

下图是复位产生和系统工作状态之间的关系示意图：



5.2 上电复位

本芯片的上电复位电路可以适应快速、慢速上电的情况，并且当芯片上电过程中出现电源电压抖动时都能保证系统可靠的复位。

上电复位过程可以概括为以下几个步骤：

- (1) 检测系统工作电压，等待电压高于上电复位电压 V_{POR} 并保持稳定；

- (2) 若有 LVR 功能，则需等待电压高于 V_{LVR} 并保持稳定；
- (3) 若有外部复位功能，则需等待复位引脚电压高于 V_{ih} ；
- (4) 初始化所有寄存器；
- (5) 开启主时钟振荡器，并等待一段时间以待振荡器稳定；
- (6) 上电结束，CPU 开始工作，从复位地址开始执行指令。

5.3 外部复位

外部复位功能是否开启可以通过用户配置字 RSTEN 配置，选择外部复位功能后复位引脚的内部上拉电阻自动有效。外部复位引脚 RST 是施密特结构的，低电平有效。当外部复位引脚为高电平时，系统正常运行；为低电平时，系统产生复位。

5.4 低电压复位

本芯片的 LVR 电压通过 VLVR5 位进行配置，详见用户配置字。电压检测电路有一定的回滞特性，通常回滞电压为 0.1V 左右，当电源电压下降到 LVR 电压时 LVR 复位有效，而电压需要上升到 LVR 电压+0.1V 时 LVR 复位才会解除。

5.5 看门狗复位

看门狗（WDT）复位是一种对程序正常运行的保护机制。正常情况下，用户软件需要按时对 WDT 定时器进行清零操作，保证 WDT 不溢出。若出现异常状况，程序未按时对 WDT 定时器清零，WDT 会溢出从而产生看门狗复位，系统重新初始化，返回受控状态。

注：在低功耗模式下，CPU 停止工作，若此时有 WDT 溢出，则仅唤醒 CPU，而不产生复位。

6 I/O 端口

6.1 I/O 工作模式

芯片共有两组 8 位端口 P0、P1 和一组 2 位端口 P2。除用作通用输入/输出端口外，部分端口还可复用为 ADC 模拟输入端口、外部中断输入端口、或比较器/运放的输入输出端口。

端口数据寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IOP0	P07D	P06D	P05D	P04D	P03D	P02D	P01D	P00D
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	X	X	X	X	X	X	X	X

BIT[7:0] **P0nD** – P0 口数据位 (n=7-0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IOP1	P17D	P16D	P15D	P14D	P13D	P12D	P11D	P10D
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	X	X	X	X	X	X	X	X

BIT[7:0] **P1nD** – P1 口数据位 (n=7-0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IOP2	-	-	-	-	-	-	P21D	P20D
R/W	-	-	-	-	-	-	R/W	R/W
初始值	-	-	-	-	-	-	X	X

BIT[1:0] **P2nD** – P2 口数据位 (n=1-0)

端口方向寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OEP0	P07OE	P06OE	P05OE	P04OE	P03OE	P02OE	P01OE	P00OE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7:0] **P0nOE** – P0 口输出使能位 (n=7-0)

- 0: 端口作为输入口，读端口操作将读取端口状态；
- 1: 端口作为输出口，读端口操作将读取数据寄存器值；

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OEP1	P17OE	P16OE	P15OE	P14OE	P13OE	P12OE	P11OE	P10OE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

- BIT[7:0] **P1nOE** – P1 口输出使能位 (n=7-0)
 0: 端口作为输入口, 读端口操作将读取端口状态;
 1: 端口作为输出口, 读端口操作将读取数据寄存器值;

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OEP2	-	-	-	-	-	-	P21OE	P20OE
R/W	-	-	-	-	-	-	R/W	R/W
初始值	-	-	-	-	-	-	0	0

- BIT[1:0] **P2nOE** – P2 口输出使能位 (n=1-0)
 0: 端口作为输入口, 读端口操作将读取端口状态;
 1: 端口作为输出口, 读端口操作将读取数据寄存器值;

6.2 上/下拉电阻控制

所有端口都有内部上拉或下拉电阻, 均有独立的上/下拉电阻寄存器控制位, 控制其上/下拉电阻在端口作为输入状态时是否有效。端口处于输出状态时, 上/下拉电阻及其控制位无效。

上拉电阻控制寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PUP0	P07PU	P06PU	P05PU	P04PU	P03PU	P02PU	P01PU	P00PU
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

- BIT[7:0] **P0nPU** – P0 口上拉电阻控制位 (n=7-0)
 0: 端口内部上拉电阻无效;
 1: 端口内部上拉电阻有效;

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PUP1	P17PU	P16PU	P15PU	P14PU	P13PU	P12PU	P11PU	P10PU
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

- BIT[7:0] **P1nPU** – P1 口上拉电阻控制位 (n=7-0)
 0: 端口内部上拉电阻无效;
 1: 端口内部上拉电阻有效;

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PUP2	-	-	-	-	-	-	P21PU	P20PU
R/W	-	-	-	-	-	-	R/W	R/W
初始值	-	-	-	-	-	-	0	0

BIT[1:0] **P2nPU** – P2 口上拉电阻控制位 (n=1-0)
 0: 端口内部上拉电阻无效;
 1: 端口内部上拉电阻有效;

下拉电阻控制寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDP0	P07PD	P06PD	P05PD	P04PD	P03PD	P02PD	P01PD	P00PD
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7:0] **P0nPD** – P0 口下拉电阻控制位 (n=7-0)
 0: 端口内部下拉电阻无效;
 1: 端口内部下拉电阻有效;

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDP1	P17PD	P16PD	P15PD	P14PD	P13PD	P12PD	P11PD	P10PD
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7:0] **P1nPD** – P1 口下拉电阻控制位 (n=7-0)
 0: 端口内部下拉电阻无效;
 1: 端口内部下拉电阻有效;

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDP2	-	-	-	-	-	-	P21PD	P20PD
R/W	-	-	-	-	-	-	R/W	R/W
初始值	-	-	-	-	-	-	0	0

BIT[1:0] **P2nPD** – P2 口下拉电阻控制位 (n=1-0)
 0: 端口内部下拉电阻无效;
 1: 端口内部下拉电阻有效;

7 定时器 TIMER

7.1 看门狗定时器 WDT

看门狗定时器 WDT 的时钟源为内部低频 RC 振荡器，WDT 计数器溢出将复位芯片或唤醒 CPU。可由用户配置字 WDTM 设置 WDT 工作模式。

若选择始终开启，则 WDT 一直工作，高速/低速运行模式下 WDT 溢出将复位芯片，HOLD/休眠模式下 WDT 溢出将唤醒 CPU。若选择低功耗模式下关闭，则 WDT 在休眠/空闲模式下自动停止、在其他方式唤醒 CPU 后恢复工作。

执行 CLRWDT 指令将清零 WDT 计数器。

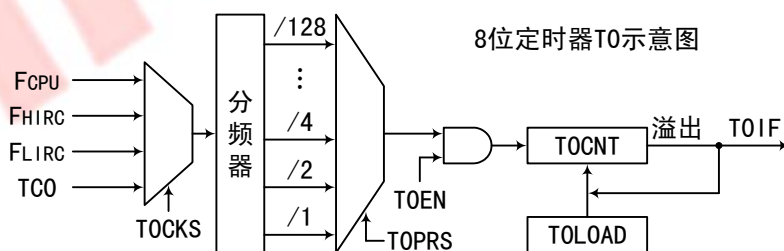
WDT 溢出时间可配置为 64ms/2048ms。

注：WDT 溢出时间为典型值，实际值偏差大，必须保证清 WDT 时间小于典型值的 1/4。

7.2 定时器 T0

定时器 T0 为 8 位定时/计数器，包含 1 个 8 位递减计数器、可编程预分频器、控制寄存器、8 位重载寄存器及比较寄存器。

- ◇ 可通过预分频比设置计数频率，可通过重载寄存器控制计数周期；
- ◇ 支持溢出中断和溢出唤醒功能；



注：

- 1、当定时器时钟源选择 F_{HIRC} 且工作模式寄存器 OSCM 的 HFEN=1 时，定时器在低速运行或休眠模式下可继续工作，溢出中断可唤醒休眠模式；若 HFEN=0，则定时器在低速或休眠模式下将停止工作；
- 2、当定时器时钟源选择 F_{LIRC} 且工作模式寄存器 OSCM 的 LFEN=1 时，定时器在休眠模式下可继续工作，溢出中断可唤醒休眠模式；若 LFEN=0，则定时器在休眠模式下将停止工作；

定时器 T0，可通过寄存器位 TOCKS 选择时钟源，TOPRS 选择预分频比，所选时钟源通过预分频器后产生 T0 计数器 TOCNT 的计数时钟。预分频比可选择 1~128 分频，对 TOCNT 的写操作将清零预分频计数器，而预分频比保持不变。

当 TOEN=0 时，TOCNT 保持不变，写重载寄存器 TOLOAD 将立即载入 TOCNT 中；当 TOEN=1 时，TOCNT 递减计数，计数到 0 时产生溢出信号并触发中断，中断标志 TOIF 将被置 1，在下一个时钟 TO 自动将当前 TOLOAD 值载入 TOCNT 中重新开始计数。

定时器 T0 控制寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TOCR	TOEN	TOCR6	TRCR5	TOCKS1	TOCKS0	TOPRS2	TOPRS1	TOPRS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7] **TOEN** – T0 功能使能位

0: 关闭 T0;

1: 开启 T0;

BIT[6] **TOCR6** – 保留位，固定写“0”

BIT[5] **TOCR5** – 保留位，固定写“0”

BIT[4:3] **TOCKS[1:0]** – T0 时钟源选择位

TOCKS[1:0]	T0 时钟源
00	FCPU
01	FHIRC
10	FLIRC
11	TC0 上升沿

BIT[2:0] **TOPRS[2:0]** – T0 预分频比选择位

TOPRS[2:0]	T0 时钟预分频比
000	1:1
001	1:2
010	1:4
011	1:8
100	1:16
101	1:32
110	1:64
111	1:128

定时器 T0 计数器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TOCNT	TOCNT7	TOCNT6	TOCNT5	TOCNT4	TOCNT3	TOCNT2	TOCNT1	TOCNT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	1	1	1	1	1	1	1	1

BIT[7:0] **TOCNT[7:0]** – T0 计数器，为可读写的递减计数器

定时器 T0 重载寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T0LOAD	T0LOAD7	T0LOAD6	T0LOAD5	T0LOAD4	T0LOAD3	T0LOAD2	T0LOAD1	T0LOAD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	1	1	1	1	1	1	1	1

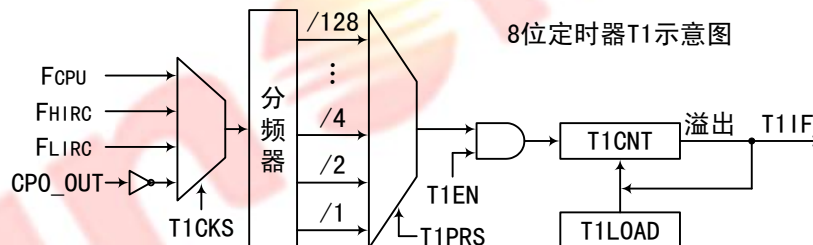
BIT[7:0] **T0LOAD[7:0]** – T0 重载寄存器，用于设置 T0 的计数周期

注：定时器重载寄存器的值禁止为 0，否则定时器将无法正常工作。

7.3 定时器 T1

定时器 T1 为 8 位定时器，包含 1 个 8 位递减计数器、可编程预分频器、控制寄存器、8 位重载寄存器。

- ◇ 可通过预分频比设置计数频率，可通过重载寄存器控制计数周期；
- ◇ 可实现对比较器 CP0 输出下降沿的计数功能；
- ◇ 支持溢出中断和溢出唤醒功能；



定时器 T1 的定时/计数功能与定时器 T0 完全相同。当选择比较器 CP0 的输出信号 CP0_OUT 作为时钟源时，T1 可实现对 CP0 输出下降沿的计数功能。

定时器 T1 控制寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T1CR	T1EN	-	-	T1CKS1	T1CKS0	T1PRS2	T1PRS1	T1PRS0
R/W	R/W	-	-	R/W	R/W	R/W	R/W	R/W
初始值	0	-	-	0	0	0	0	0

BIT[7] **T1EN** – T1 功能使能位

- 0: 关闭 T1;
- 1: 开启 T1;

BIT[4:3] **T1CKS[1:0]** – T1 时钟源选择位

T1CKS[1:0]	T1 时钟源
00	FCPU
01	FHIRC
10	FLIRC
11	CP0_OUT 下降沿

BIT[2:0] T1PRS[2:0] – T1 预分频比选择位

T1PRS[2:0]	T1 时钟预分频比
000	1:1
001	1:2
010	1:4
011	1:8
100	1:16
101	1:32
110	1:64
111	1:128

定时器 T1 计数器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T1CNT	T1CNT7	T1CNT6	T1CNT5	T1CNT4	T1CNT3	T1CNT2	T1CNT1	T1CNT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	1	1	1	1	1	1	1	1

BIT[7:0] T1CNT[7:0] – T1 计数器，为可读写的递减计数器

定时器 T1 重载寄存器

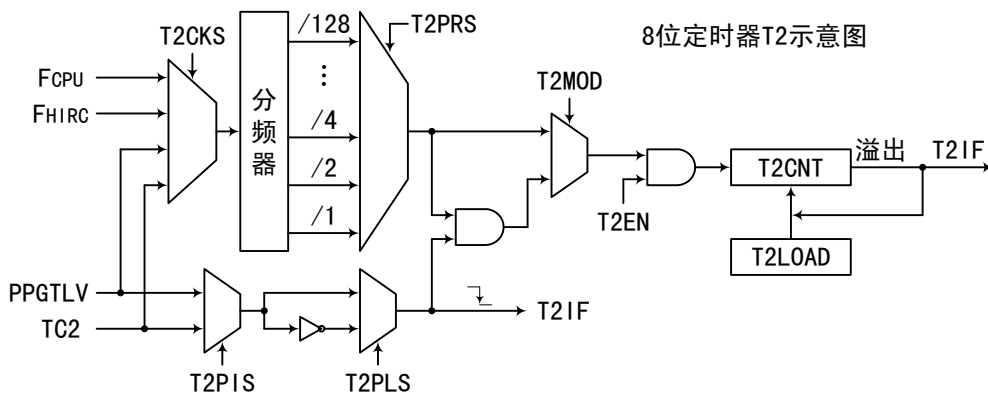
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T1LOAD	T1LOAD7	T1LOAD6	T1LOAD5	T1LOAD4	T1LOAD3	T1LOAD2	T1LOAD1	T1LOAD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	1	1	1	1	1	1	1	1

BIT[7:0] T1LOAD[7:0] – T1 重载寄存器，用于设置 T1 的计数周期

7.4 定时器 T2

定时器 T2 为 8 位定时/计数器，包含 1 个 8 位递减计数器、可编程预分频器、控制寄存器、8 位重载寄存器。

- ◇ 可通过预分频比设置计数频率，可通过重载寄存器控制计数周期；
- ◇ 可实现对内部信号 PPGTLV 上升沿的计数功能；
- ◇ 可实现外部输入或内部信号 PPGTLV（PPG 触发信号）的高/低电平脉宽测量功能；
- ◇ 支持溢出中断和溢出唤醒功能；



定时器 T2 具有 2 种工作模式：定时/计数模式和脉宽测量模式。

定时/计数模式下，T2 的定时功能与定时器 T0 相同，T2 的计数功能可对外部输入 TC2 或内部信号 PPGTLV（PPG 触发信号）的上升沿进行计数。

脉宽测量模式下，T2 可通过内部时钟对外部输入 TC2 或内部信号 PPGTLV 的高/低电平进行脉宽计数，其中被测电平信号源可通过 T2PIS 选择，高/低电平可通过 T2PLS 选择。T2EN 置 1 使能 T2 后，被测电平产生触发沿时 T2 开始计数（若计数溢出则自动重载计数），直到被测电平产生停止沿时 T2EN 自动清 0，T2 停止计数，同时将中断标志 T2IF 置 1 产生中断，通过 T2CNT 的计数差值，可获得被测电平的脉冲宽度。

注：

1. 脉宽测量模式时，T2CNT 在测量完成后停止计数到再次触发测量计数期间，都将保持原值；若要更改则需重写 T2LOAD 使 T2CNT 重载，或直接对 T2CNT 赋值；
2. 内部信号 PPGTLV，为外部输入 PTRIG 或内部 CP0 输出 CP0_OUT，经 PPGTDB 去抖并经 PPGTEG 选择后的电平信号（详见 PPG 章节），所以不能将 PPGTLV 的电平变化等同于 PTRIG 或 CP0_OUT 的电平变化。

定时器 T2 控制寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2CR	T2EN	T2MOD	-	T2CKS1	T2CKS0	T2PRS2	T2PRS1	T2PRS0
R/W	R/W	R/W	-	R/W	R/W	R/W	R/W	R/W
初始值	0	0	-	0	0	0	0	0

BIT[7] T2EN – T2 功能使能位

0: 关闭 T2;

1: 开启 T2;

BIT[6] T2MOD – T2 工作模式选择位

0: 定时/计数模式;

1: 脉宽测量模式;

BIT[4:3] T2CKS[1:0] – T2 时钟源选择位

T2MOD	T2CKS[1:0]	T2 时钟源
T2MOD=0 定时/计数模式	00	F _{CPU}
	01	F _{HIRC}
	10	PPGTLV 上升沿
	11	TC2 上升沿
T2MOD=1 脉宽测量模式	00	F _{CPU}
	01	F _{HIRC}
	10	禁用
	11	禁用

BIT[2:0] T2PRS[2:0] – T2 预分频比选择位

T2PRS[2:0]	T2 时钟预分频比
000	1:1
001	1:2
010	1:4
011	1:8
100	1:16
101	1:32
110	1:64
111	1:128

定时器 T2 计数器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2CNT	T2CNT7	T2CNT6	T2CNT5	T2CNT4	T2CNT3	T2CNT2	T2CNT1	T2CNT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	1	1	1	1	1	1	1	1

BIT[7:0] T2CNT[7:0] – T2 计数器，为可读写的递减计数器

定时器 T2 重载寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2LOAD	T2LOAD7	T2LOAD6	T2LOAD5	T2LOAD4	T2LOAD3	T2LOAD2	T2LOAD1	T2LOAD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	1	1	1	1	1	1	1	1

BIT[7:0] T2LOAD[7:0] – T2 重载寄存器，用于设置 T2 的计数周期

定时器 T2 扩展功能寄存器

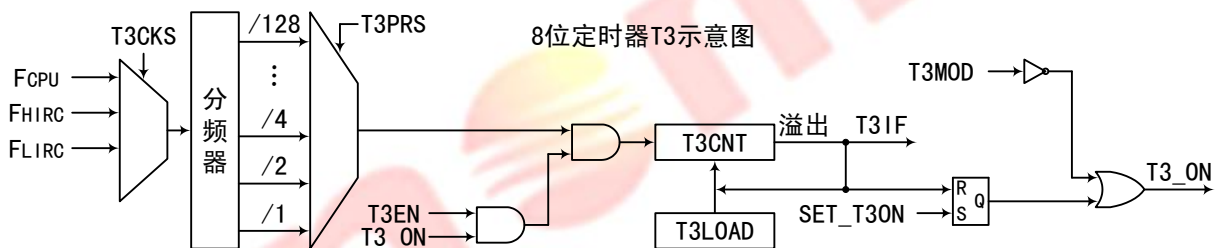
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2EFR	-	-	-	-	-	-	T2PIS	T2PLS
R/W	-	-	-	-	-	-	R/W	R/W
初始值	-	-	-	-	-	-	0	0

- BIT[1] **T2PIS** – T2 脉宽测量信号源选择位
 0: 选择测量外部输入 TC2 的电平脉宽;
 1: 选择测量内部信号 CP0_OUT 的电平脉宽;
- BIT[0] **T2PLS** – T2 测量高/低电平选择位
 0: 测量低电平脉宽 (下降沿开始计数, 上升沿停止计数);
 1: 测量高电平脉宽 (上升沿开始计数, 下降沿停止计数);

7.5 定时器 T3

定时器 T3 为 8 位定时器, 包含 1 个 8 位递减计数器、可编程预分频器、控制寄存器、8 位重载寄存器。

- ◇ 可通过预分频比设置计数频率, 可通过重载寄存器控制计数周期;
- ◇ 支持 PPG 模式 (即支持单次定时且开启时禁止 PPG 重触发);
- ◇ 支持溢出中断和溢出唤醒功能;



定时器 T3 具有 2 种工作模式: 循环定时模式和单次定时模式。

循环定时模式, 即实现定时器的定时功能, 当 T3CNT 计数溢出后将自动加载 T3LOAD 的值并重新开始计数。

单次定时模式, 即为 PPG 模式, PPG 从输出转为停止时将启动 T3CNT 递减计数, T3CNT 溢出后将停止计数 (但仍会加载 T3LOAD 的值), T3 计数期间将禁止 PPG 重触发。

定时器 T3 控制寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T3CR	T3EN	T3MOD	-	T3CKS1	T3CKS0	T3PRS2	T3PRS1	T3PRS0
R/W	R/W	R/W	-	R/W	R/W	R/W	R/W	R/W
初始值	0	0	-	0	0	0	0	0

- BIT[7] **T3EN** – T3 功能使能位
 0: 关闭 T3;
 1: 开启 T3;

BIT[6] **T3MOD** – T3 工作模式选择位
 0: 循环定时模式;
 1: 单次定时模式 (即 PPG 模式);

BIT[4:3] **T3CKS[1:0]** – T3 时钟源选择位

T3CKS[1:0]	T3 时钟源
00	FCPU
01	FHIRC
10	FLIRC
11	保留

BIT[2:0] **T3PRS[2:0]** – T3 预分频比选择位

T3PRS[2:0]	T3 时钟预分频比
000	1:1
001	1:2
010	1:4
011	1:8
100	1:16
101	1:32
110	1:64
111	1:128

定时器 T3 计数器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T3CNT	T3CNT7	T3CNT6	T3CNT5	T3CNT4	T3CNT3	T3CNT2	T3CNT1	T3CNT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	1	1	1	1	1	1	1	1

BIT[7:0] **T3CNT[7:0]** – T3 计数器, 为可读写的递减计数器

定时器 T3 重载寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T3LOAD	T3LOAD7	T3LOAD6	T3LOAD5	T3LOAD4	T3LOAD3	T3LOAD2	T3LOAD1	T3LOAD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	1	1	1	1	1	1	1	1

BIT[7:0] **T3LOAD[7:0]** – T3 重载寄存器, 用于设置 T3 的计数周期

8 脉冲发生器 PPG

8.1 PPG 概述

芯片内置 1 个 10 位可编程的脉冲发生器 PPG，包括 10 位递减计数器、10 位重载寄存器、10 位重载缓存器、控制寄存器、触发去抖寄存器和触发延时寄存器。通过计数器 PPGCNT，PPG 可从端口输出宽度可调的脉冲，其输出电平可通过 POLEV 位设为高电平或低电平，PPG 停止后端口为高阻态（推荐外部采用对应的上拉或下拉电阻以保证能有效关断外部驱动电路）。

PPGCNT 的时钟源为高频时钟 FHIRC，可选择 1/2/4/8 分频。PPG 使能后，当 PPGSTR 位被置 1、内部信号 PPGTLV 产生上升沿（外部输入 PTRIG、或比较器 CP0 输出信号的下降沿经去抖反相后形成）时，PPGCNT 开始计数；当 PPGCNT 递减到零溢出、PPGSTR 位清 0、或比较器 CP2 输出端产生下降沿时，PPGCNT 停止计数且 PPGSTR 位自动清 0。

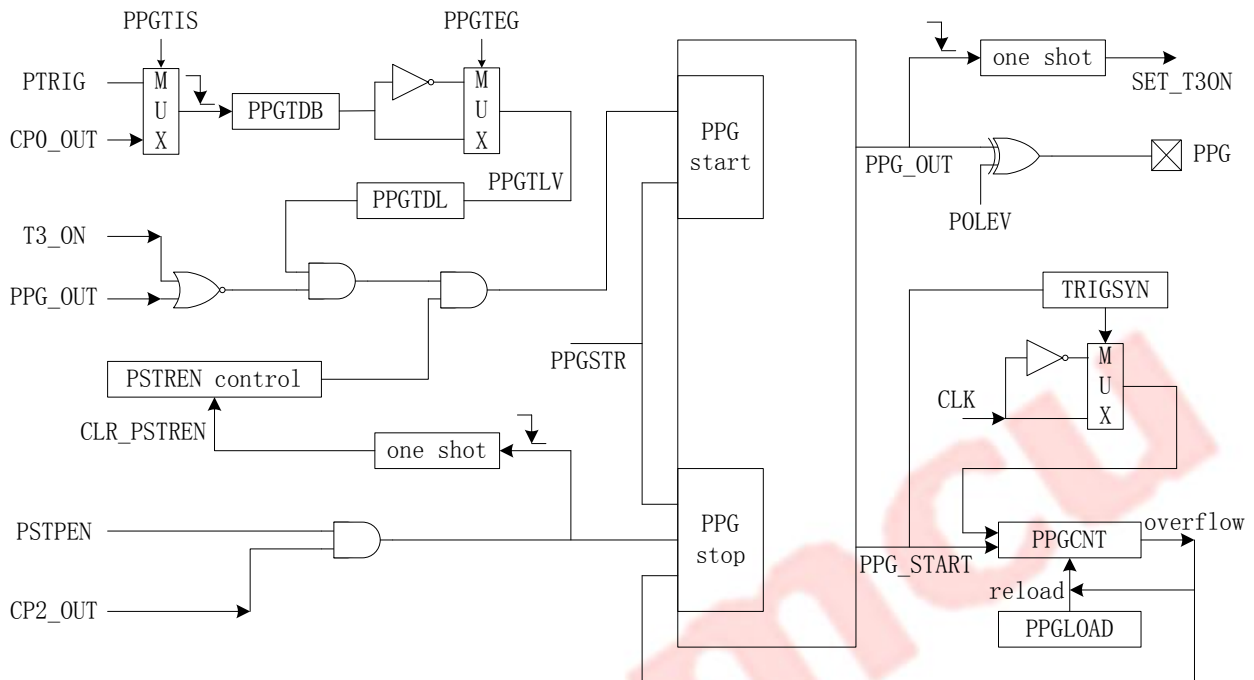
可通过 10 位重载寄存器 PGLOAD[9:0]（高 2 位位于 PPGLDH、低 8 位位于 PPGLDL）和 10 位缓存器 PPGLDBUF 调整 PPGCNT 的计数初值。当 PPG 在停止状态时，写 PPGLDL 会将 PGLOAD[9:0] 的值自动加载到缓存器 PPGLDBUF 和计数器 PPGCNT 中；当 PPG 在计数状态时，写 PPGLDL 会将 PGLOAD[9:0] 的值自动加载到 PPGLDBUF 中，等 PPG 计数停止时才将 PPGLDBUF 的值自动加载到 PPGCNT 中。修改 PGLOAD[9:0] 时需先写 PPGLDH 后再写 PPGLDL，以便 PPGCNT 能加载正确。

可通过 PPGTIS 选择外部输入 PTRIG 或比较器 CP0 输出作为 PPG 触发输入信号；可通过触发去抖寄存器 PPGTDB 设定触发输入信号的低电平去抖时间，去抖计数器的时钟与 PPG 时钟一致；可通过触发延时寄存器 PPGTDL 设定触发输入信号电平变化的延时时间，延时计数器的时钟固定为 FHIRC/8。

PPG 具有防止重复触发功能。当 PPG 处于计数状态时，不会被再次触发重新计数；当 PPG 从计数转为停止状态后，若定时器 T3 工作在 PPG 模式，则 T3 开始计数，在 T3 计数溢出前 PPG 的触发将被屏蔽且被清除。

控制位 PSTREN 可屏蔽触发输入信号的触发操作，PSTPEN 可屏蔽 CP2 的停止 PPG 操作，当 CP2 输出停止 PPG 时，PSTREN 将自动清 0，以保证 PPG 处于可控状态而不被触发信号自动重启。

8.2 PPG 结构框图



8.3 PPG 相关寄存器

PPG 控制寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PPGCR	PPGEN	POLEV	PSTREN	PSTPEN	-	PPGSTR	PPGPRS1	PPGPRS0
R/W	R/W	R/W	R/W	R/W	-	R/W	R/W	R/W
初始值	0	0	0	0	-	0	0	0

BIT[7] PPGEN – PPG 使能控制位
 0: 关闭 PPG 模块，端口用作其他功能；
 1: 使能 PPG 模块，端口用作 PPG 输出；

BIT[6] POLEV – PPG 输出电平选择位
 0: PPG 输出电平为高；
 1: PPG 输出电平为低；

BIT[5] PSTREN – 内部信号 PPGTLV 启动 PPG 计数允许位
 0: 不允许 PPGTLV 启动 PPG 计数；
 1: 允许 PPGTLV 启动 PPG 计数；

- BIT[4] **PSTPEN** – CP2 停止 PPG 计数允许位
 0: 不允许 CP2 输出停止 PPG 计数;
 1: 允许 CP2 输出停止 PPG 计数;

注: PSTREN 和 PSTPEN 无法用 1 条 MOV 指令同时置 1, 需 PSTREN 先置 1 后下一条指令再 PSTPEN 置 1.

- BIT[2] **PPGSTR** – PPG 启动/停止控制位
 0: 停止 PPG 计数;
 1: 启动 PPG 计数;

- BIT[1:0] **PPGPRS[1:0]** – PPG 时钟预分频比选择位

PPGPRS[1:0]	PPG 时钟预分频比
00	1:1
01	1:2
10	1:4
11	1:8

注: PPG 的工作频率必须高于 CPU 的工作频率, 如 CPU 的工作频率选为 8MHz 时, PPG 的工作频率则只能为 16MHz, 即 PPG 分频比只能选择 1:1.

PPG 重载寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PPGLDH	-	-	-	-	-	-	PGLOAD9	PGLOAD8
R/W	-	-	-	-	-	-	R/W	R/W
初始值	-	-	-	-	-	-	0	0

- BIT[1:0] **PGLOAD[9:8]** – PPG 重载寄存器高 2 位, 用于设置 PPG 计数溢出时间

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PPGLDL	PGLOAD7	PGLOAD6	PGLOAD5	PGLOAD4	PGLOAD3	PGLOAD2	PGLOAD1	PGLOAD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

- BIT[7:0] **PGLOAD[7:0]** – PPG 重载寄存器低 8 位, 用于设置 PPG 计数溢出时间

PPG 触发延时寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PPGTDL	-	-	-	-	-	PPGTDL2	PPGTDL1	PPGTDL0
R/W	-	-	-	-	-	R/W	R/W	R/W
初始值	-	-	-	-	-	0	0	0

- BIT[5:0] **PPGTDL[5:0]** – PPG 触发延时控制位, 延时时间为 PPGTDL[2:0] × 0.5us

PPG 触发去抖寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PPGTDB	PPGTIS	PPGTEG	PPGTDB5	PPGTDB4	PPGTDB3	PPGTDB2	PPGTDB1	PPGTDB0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7] **PPGTIS** – PPG 触发输入信号源选择位
 0: 外部输入 PTRIG 作为 PPG 触发输入信号;
 1: 比较器 CP0 输出作为 PPG 触发输入信号;

BIT[6] **PPGTEG** – 保留位, 固定写“0”

BIT[5:0] **PPGTDB[5:0]** – PPG 触发去抖时间选择位

注:

- 1、**PPGTDB** 去抖电路会将输入信号进行取反处理后输出, 但仅对输入信号的低电平进行去抖处理, 即输入信号的下降沿启动去抖计数, 此时输出低电平, 只有在计数溢出后才输出高电平, 否则将维持低电平输出; 而当输入信号由低电平变为高电平时, 去抖电路会立即输出低电平。因此 PPG 触发输入信号的下降沿或上升沿中若低电平保持时间不够, 则输出电平不会产生相应的上升沿或下降沿;
- 2、**PPGTEG** 对触发沿的选择是在去抖电路之后, 所以即使选择上升沿触发也不会导致 **PPGTDB** 电路更改为高电平去抖。

9 模数转换器 ADC

9.1 ADC 概述

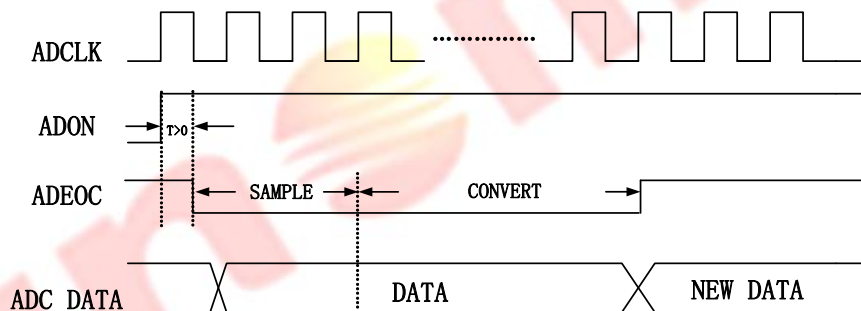
芯片内置的 ADC 模块为 12 位高精度逐次逼近型 ADC。

- ◇ 12 路外部通道：AN0~AN11；2 路内部通道：GND、VDD/4；
- ◇ 参考电压可选：VDD、内部参考电压 VIR（4V）；
- ◇ ADC 时钟：F_{HIRC} 的 8/16/32/64/128/256/512/1024 分频；
- ◇ 支持零点校准；

ADC 模块通过 ADEN 位使能，通过 ADCHS 位选择转换的模拟通道，ADCKS 位选择转换速度，ADEOC 为 ADC 启动位及转换结束标志位。当 ADEOC 标志为 1 时，对该位写 0 将启动模数转换，转换完成后结果放在 ADRH/ADRL 中，ADEOC 将自动置 1（，同时中断标志位 ADIF 置 1，提出中断请求）。

采样（SAMPLE）时间可选择 4/8/15 个 ADCLK（即 ADC 时钟周期），转换（CONVERT）时间固定为 12 个 ADCLK，一次 ADC 转换为 16/20/27 个 ADCLK。

ADC 转换时序如下图所示：



注：

1. AD 转换过程中或者 ADEN 未使能时，ADRH/ADRL 中的数据未知，应在 AD 转换结束且 ADEN 使能的情况下读取 AD 转换数据；
2. 若选择内部参考电压 VIR，则需保证 $VDD > (VIR + 0.5V)$ ，否则 VIR 将随之下降；
3. 使能 ADC 模块、切换参考电压等操作后，需待电路稳定（时间 > 200us）后才能启动 AD 转换；切换输入通道后，受外部输入影响，前两次转换的结果会有误差，建议舍弃；
4. AD 转换精度受参考电压精度的影响，且内部参考电压下的转换精度，比外部参考电压略低 2 个 LSB 左右；
5. 转换时钟越慢、采样时间越长，则越能过滤外部输入的波动，越能保证 AD 转换的精度；

9.2 ADC 操作步骤

模数转换设置步骤：

- (1) 设置相应端口为输入端口，关闭上下拉电阻；
- (2) 若转换时钟可选，则设置 ADCKS，选取适当的 ADC 转换时钟；
- (3) 若采样时间可选，则设置 ADSPS，选取适当的 ADC 采样时间；
- (4) 若参考电压可选，则设置 ADVRS，选择适当的参考电压；
- (5) 若数据格式可选，则设置 ADRSEL，选择 ADC 结果的数据格式；
- (6) ADEN 置 1，使能 ADC 模块；
- (7) 设置 ADCHS，选择 ADC 转换通道；
- (8) ADEOC 写 0，启动 AD 转换；
- (9) 等待 ADEOC 硬件置 1（或利用 ADC 中断）；
- (10) 读取 ADC 转换结果（ADRH、ADRL）；
- (11) 重复（8）~（11），对不同的通道进行转换或对同一通道进行多次转换；

9.3 ADC 相关寄存器

ADC 控制寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCRO	ADCHS3	ADCHS2	ADCHS1	ADCHS0	CPVIREN	ADVRS	ADEOC	ADEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	1	1	1	0	0	0	1	0

BIT[7:4] ADCHS[3:0] – ADC 模拟通道选择位

ADCHS[3:0]	ADC 模拟通道选择
0000	AN0
0001	AN1
0010	AN2
0011	AN3
0100	AN4
0101	AN5
0110	AN6
0111	AN7
1000	AN8
1001	AN9
1010	AN10
1011	AN11
1100	保留
1101	保留
1110	片内 GND
1111	VDD/4

- BIT[3] **CPVIREN** – 比较器内部参考电压使能位
 0: 关闭比较器内部参考电压;
 1: 使能比较器内部参考电压;
- BIT[2] **ADVRS** – ADC 参考电压选择
 0: ADC 参考电压为内部参考电压 V_{IR} ;
 1: ADC 参考电压为 V_{DD} ;
- BIT[1] **ADEOC** – ADC 启动位及转换结束标志位
 0: AD 转换过程中, 转换结束后自动置 1;
 1: AD 转换结束, 对 ADEOC 写入 0 启动 AD 转换;
- BIT[0] **ADEN** – ADC 功能使能位
 0: 关闭 ADC 功能;
 1: 使能 ADC 功能;

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCR1	ADRSEL	ADCKS2	ADCKS1	ADCKS0	-	-	ADSPS1	ADSPS0
R/W	R/W	R/W	R/W	R/W	-	-	R/W	R/W
初始值	0	0	0	0	-	-	1	1

- BIT[7] **ADRSEL** – ADC 转换数据格式选择位
 0: ADC 转换结果 12 位数据, 高 8 位存入 $ADRH[7:0]$ 、低 4 位存入 $ADRL[3:0]$;
 1: ADC 转换结果 12 位数据, 高 4 位存入 $ADRH[3:0]$ 、低 8 位存入 $ADRL[7:0]$;

- BIT[6:4] **ADCKS[2:0]** – AD 转换时钟选择位

ADCKS[2:0]	AD 转换时钟 F_{ADC}
000	$F_{HIRC}/8$
001	$F_{HIRC}/16$
010	$F_{HIRC}/32$
011	$F_{HIRC}/64$
100	$F_{HIRC}/128$
101	$F_{HIRC}/256$
110	$F_{HIRC}/512$
111	$F_{HIRC}/1024$

- BIT[1:0] **ADSPS[1:0]** – ADC 采样时间选择位

ADSPS[1:0]	SAMPLE 时间
00	保留
01	4 个 ADCLK
10	8 个 ADCLK
11	15 个 ADCLK

ADC 转换结果寄存器

ADRSEL=0 时:

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADRH	ADR11	ADR10	ADR9	ADR8	ADR7	ADR6	ADR5	ADR4
R/W	R	R	R	R	R	R	R	R
初始值	X	X	X	X	X	X	X	X

BIT[7:0] **ADR[11:4]** – ADC 转换结果高 8 位

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADRL	-	-	-	-	ADR3	ADR2	ADR1	ADR0
R/W	-	-	-	-	R	R	R	R
初始值	-	-	-	-	X	X	X	X

BIT[3:0] **ADR[3:0]** – ADC 转换结果低 4 位

ADRSEL=1 时:

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADRH	-	-	-	-	ADR11	ADR10	ADR9	ADR8
R/W	-	-	-	-	R	R	R	R
初始值	-	-	-	-	X	X	X	X

BIT[3:0] **ADR[11:8]** – ADC 转换结果高 4 位

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADRL	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0
R/W	R	R	R	R	R	R	R	R
初始值	X	X	X	X	X	X	X	X

BIT[7:0] **ADR[7:0]** – ADC 转换结果低 8 位

零点偏移修调控制寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OSADJCR	OSADJEN	-	OSADJTR5	OSADJTR4	OSADJTR3	OSADJTR2	OSADJTR1	OSADJTR0
R/W	R/W	-	R/W	R/W	R/W	R/W	R/W	R/W
初始值	U	-	U	U	U	U	U	U

BIT[7] **OSADJEN** – ADC 零点偏移修调模式使能位，复位初始值为出厂设定值

- 0: 关闭 ADC 零点偏移修调模式;
- 1: 使能 ADC 零点偏移修调模式;

BIT[5] **OSADJTR[5]** – ADC 零点偏移修调方向选择位，复位初始值为出厂设定值

- 0: 负向修调，即根据修调电压减小转换值（转换结果大于理论值时应选择负向修调）;
- 1: 正向修调，即根据修调电压增加转换值（转换结果小于理论值时应选择正向修调）;

BIT[4:0] OSADJTR[4:0] – ADC 零点偏移修调电压选择位，复位初始值为出厂设定值

OSADJTR [4:0]	修调电压
00000	0Mv
00001	0.5Mv
00010	1.0Mv
00011	1.5Mv
00100	2.0Mv
00101	2.5Mv
00110	3.0Mv
00111	3.5Mv
01000	4.0Mv
01001	4.5Mv
01010	5.0Mv
01011	5.5Mv
01100	6.0Mv
01101	6.5Mv
01110	7.0Mv
01111	7.5Mv
10000	8.0Mv
10001	8.5Mv
10010	9.0Mv
10011	9.5Mv
10100	10.0Mv
10101	10.5Mv
10110	11.0Mv
10111	11.5Mv
11000	12.0Mv
11001	12.5Mv
11010	13.0Mv
11011	13.5Mv
11100	14.0Mv
11101	14.5Mv
11110	15.0Mv
11111	15.5Mv

9.4 ADC 零点偏移修调流程

- (1) 将 ADC 的输入通道选择为内部接地，设置 OSADJEN=1；设置 ADC 时钟、采样时间等；
- (2) 设置 OSADJTR[5:0]=00H；进行 ADC 转换；
- (3) 如果 ADC 结果为 0，则执行（6）；

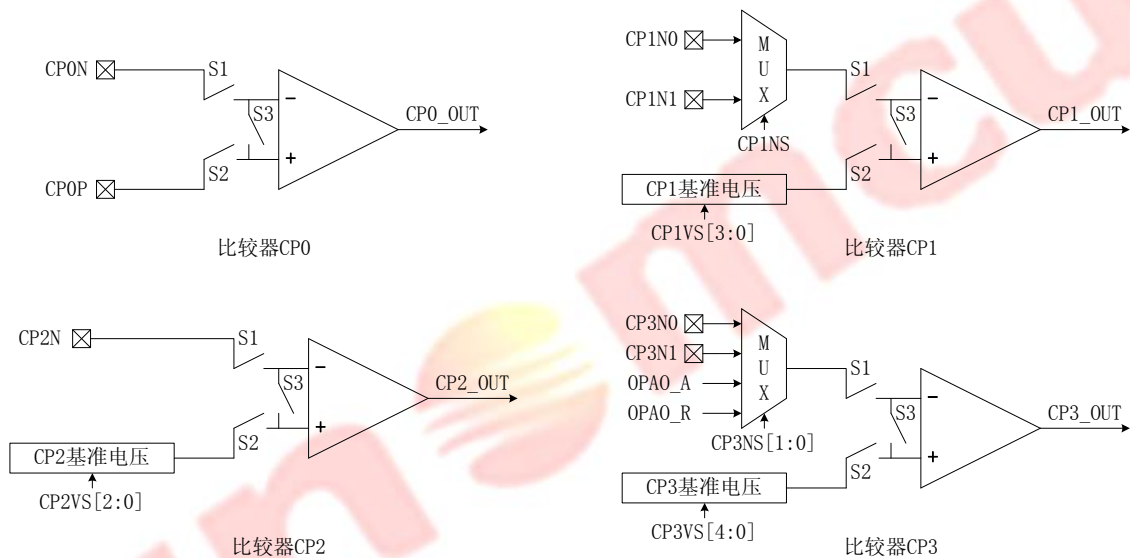
-
- 如果 ADC 结果不为 0，则执行 (4)；
- (4) OSADJTR[4:0]加 1 后进行 ADC 转换；
 - (5) 如果 ADC 结果为 0，则跳至 (10)；
如果 ADC 结果不为 0，则执行 (4)，直到 ADC 结果为 0 或 OSADJTR[4:0]=1FH 后跳至 (10)；
 - (6) 设置 OSADJTR[5:0]=3FH，进行 ADC 转换；
 - (7) 如果 ADC 结果为 0，则跳至 (10)；
如果 ADC 结果不为 0，则执行 (8)；
 - (8) OSADJTR[4:0]减 1 后进行 ADC 转换；
 - (9) 如果 ADC 结果为 0，则跳至 (10)；
如果 ADC 结果不为 0，则执行 (8)，直到 ADC 结果为 0 或 OSADJTR[4:0]=00H 后跳至 (10)；
 - (10) OSADJTR[5:0]中的值即为零点偏移最佳修调电压，修调流程结束，后续 ADC 工作时直接使用，不需要再次修调。

10 模拟比较器 CP

10.1 比较器概述

芯片内置 4 组比较器 CP0~CP3：CP0 的正/负输入端均为外部输入；CP1~CP3 的负输入端为外部输入（其中 CP1、CP3 的负输入端支持多路通道选择），正输入端为内部可选的基准电压、其参考电压可选 VDD 或内部参考电压 V_{IR}（4.0V）。比较器的共模输入范围为 0V ~ (VDD-1.4V)，输入端失调电压可通过自消除寄存器进行调校，精度为 ±10mV。

比较器输出端的信号下降沿可产生中断请求，其中 CP1~CP3 的输出下降沿将产生比较器中断，而 CP0 的输出下降沿可通过 PPG 触发电路产生 PPG 触发中断。



10.2 比较器相关寄存器

比较器控制寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CPCR	-	CP3NS1	CP3NS0	CP1NS	CP3EN	CP2EN	CP1EN	CP0EN
R/W	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	-	0	0	0	0	0	0	0

BIT[6:5] CP3NS[1:0] – CP3 负输入端通道选择位

CP3NS[1:0]	CP3 负输入端通道选择
00	端口 CP3N0 输入
01	端口 CP3N1 输入
10	内部 OPA0_A 输入
11	内部 OPA0_R 输入

BIT[4] CP1NS – CP1 负输入端通道选择位

- 0: 选通 CP1N0;
- 1: 选通 CP1N1;

BIT[3:0] CPnEN – 比较器 CPn 使能控制位 (n=3-0)

- 0: 关闭比较器 CPn;
- 1: 开启比较器 CPn;

比较器输出状态寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CPSR	-	-	-	-	CP3OP	CP2OP	CP1OP	CP0OP
R/W	-	-	-	-	R	R	R	R
初始值	-	-	-	-	X	X	X	X

BIT[3:0] CPnOP – 比较器 CPn 输出状态位 (n=3-0)

- 0: 比较器 CPn 输出为 0, 即 CPn 正输入端电压低于负输入端电压;
- 1: 比较器 CPn 输出为 1, 即 CPn 正输入端电压高于负输入端电压;

比较器基准电压寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CPVR0	CPVRS	CP2VS2	CP2VS1	CP2VS0	CP1VS3	CP1VS2	CP1VS1	CP1VS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7] CPVRS – CP 参考电压选择

- 0: CP 参考电压为 VDD;
- 1: CP 参考电压为内部参考电压 V_{IR} (仅 CPVIREN=1 时有效);

注: 若比较器选择内部参考电压 V_{IR}, 则需保证 VDD > 4.5V, 否则 V_{IR} 将随之下降;

BIT[6:4] CP2VS[2:0] – CP2 基准电压选择位

CP2VS[2:0]	CP2 基准电压选择	
	CPVRS=0	CPVRS=1
000	0.05*VDD	0.0625*V _{IR}
001	0.10*VDD	0.125*V _{IR}
010	0.20*VDD	0.25*V _{IR}
011	0.30*VDD	0.375*V _{IR}
100	0.40*VDD	0.5*V _{IR}
101	0.50*VDD	0.625*V _{IR}
110	0.60*VDD	0.75*V _{IR}
111	0.70*VDD	0.875*V _{IR}

BIT[3:0] CP1VS[3:0] – CP1 基准电压选择位

CP1 基准电压选择		
CP1VS[3:0]	CPVRS=0	CPVRS=1
0000	0.34*VDD	0.425*V _{IR}
0001	0.36*VDD	0.45*V _{IR}
0010	0.38*VDD	0.475*V _{IR}
0011	0.40*VDD	0.5*V _{IR}
0100	0.42*VDD	0.525*V _{IR}
0101	0.44*VDD	0.55*V _{IR}
0110	0.46*VDD	0.575*V _{IR}
0111	0.48*VDD	0.6*V _{IR}
1000	0.50*VDD	0.625*V _{IR}
1001	0.52*VDD	0.65*V _{IR}
1010	0.54*VDD	0.675*V _{IR}
1011	0.56*VDD	0.7*V _{IR}
1100	0.58*VDD	0.725*V _{IR}
1101	0.60*VDD	0.75*V _{IR}
1110	0.62*VDD	0.775*V _{IR}
1111	0.64*VDD	0.8*V _{IR}

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CPVR1	-	-	-	CP3VS4	CP3VS3	CP3VS2	CP3VS1	CP3VS0
R/W	-	-	-	R/W	R/W	R/W	R/W	R/W
初始值	-	-	-	0	0	0	0	0

BIT[4:0] CP3VS[4:0] – CP3 基准电压选择位

CP3 基准电压选择		
CP3VS[4:0]	CPVRS=0	CPVRS=1
00000	0.08*VDD	0.1*V _{IR}
00001	0.10*VDD	0.125*V _{IR}
00010	0.12*VDD	0.15*V _{IR}
00011	0.14*VDD	0.175*V _{IR}
00100	0.16*VDD	0.2*V _{IR}
00101	0.18*VDD	0.225*V _{IR}
00110	0.20*VDD	0.25*V _{IR}
00111	0.22*VDD	0.275*V _{IR}
01000	0.24*VDD	0.3*V _{IR}
01001	0.26*VDD	0.325*V _{IR}
01010	0.28*VDD	0.35*V _{IR}
01011	0.30*VDD	0.375*V _{IR}
01100	0.32*VDD	0.4*V _{IR}
01101	0.34*VDD	0.425*V _{IR}
01110	0.36*VDD	0.45*V _{IR}
01111	0.38*VDD	0.475*V _{IR}

10000	0.40*VDD	0.5*V _{IR}
10001	0.42*VDD	0.525*V _{IR}
10010	0.44*VDD	0.55*V _{IR}
10011	0.46*VDD	0.575*V _{IR}
10100	0.48*VDD	0.6*V _{IR}
10101	0.50*VDD	0.625*V _{IR}
10110	0.52*VDD	0.65*V _{IR}
10111	0.54*VDD	0.675*V _{IR}
11000	0.56*VDD	0.7*V _{IR}
11001	0.58*VDD	0.725*V _{IR}
11010	0.60*VDD	0.75*V _{IR}
11011	0.62*VDD	0.775*V _{IR}
11100	0.64*VDD	0.8*V _{IR}
11101	0.66*VDD	0.825*V _{IR}
11110	0.68*VDD	0.85*V _{IR}
11111	0.70*VDD	0.875*V _{IR}

CP0 自消除寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CP0CLR	CP0MOD	CP0CLRS	CP0CLR5	CP0CLR4	CP0CLR3	CP0CLR2	CP0CLR1	CP0CLR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	1	0	0	0	0	0

BIT[7] **CP0MOD** – CP0 模式选择位

- 0: 比较器模式;
- 1: 失调电压自消除模式;

BIT[6] **CP0CLRS** – CP0 自消除参考源选择位

- 0: 负输入端;
- 1: 正输入端;

BIT[5:0] **CP0CLR[5:0]** – CP0 自消除控制位

CP1 自消除寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CP1CLR	CP1MOD	CP1CLRS	CP1CLR5	CP1CLR4	CP1CLR3	CP1CLR2	CP1CLR1	CP1CLR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	1	0	0	0	0	0

BIT[7] **CP1MOD** – CP1 模式选择位

- 0: 比较器模式;
- 1: 失调电压自消除模式;

BIT[6] **CP1CLRS** – CP1 自消除参考源选择位
0: 负输入端;
1: 正输入端;

BIT[5:0] **CP1CLR[5:0]** – CP1 自消除控制位

CP2 自消除寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CP2CLR	CP2MOD	CP2CLRS	CP2CLR5	CP2CLR4	CP2CLR3	CP2CLR2	CP2CLR1	CP2CLR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	1	0	0	0	0	0

BIT[7] **CP2MOD** – CP2 模式选择位
0: 比较器模式;
1: 失调电压自消除模式;

BIT[6] **CP2CLRS** – CP2 自消除参考源选择位
0: 负输入端;
1: 正输入端;

BIT[5:0] **CP2CLR[5:0]** – CP2 自消除控制位

CP3 自消除寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CP3CLR	CP3MOD	CP3CLRS	CP3CLR5	CP3CLR4	CP3CLR3	CP3CLR2	CP3CLR1	CP3CLR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	1	0	0	0	0	0

BIT[7] **CP3MOD** – CP3 模式选择位
0: 比较器模式;
1: 失调电压自消除模式;

BIT[6] **CP3CLRS** – CP3 自消除参考源选择位
0: 负输入端;
1: 正输入端;

BIT[5:0] **CP3CLR[5:0]** – CP3 自消除控制位

10.3 比较器失调电压调校流程

- (1) 将自消除寄存器 CPnCLR 的模式选择位 CPnMOD 置 1，进入失调电压自消除模式（S3 闭合）；
- (2) 通过 CPnCLRS 选择比较器自消除参考源：
 - CPnCLRS=0，选择负输入端作为参考源（S1 闭合）；
 - CPnCLRS=1，选择正输入端作为参考源（S2 闭合）；
- (3) 设置自消除控制位 CPnCLRS[5:0]=00，等待至少 100us 后读取 CPn_OUT 当前状态即 CPnOP 位；
- (4) CPnCLR[5:0]自加 1，等待至少 100us 后读取 CPnOP 位；
- (5) 重复执行第（4）步：
 - 当 CPnOP 位发生翻转，则表示已调校到位；
 - 若 CPnCLR[5:0]=3F 而 CPnOP 仍未发生翻转，则表示共模输入超出调校范围，调校失败；
- (6) 清 0 模式选择位 CPnMOD，恢复成比较器模式；

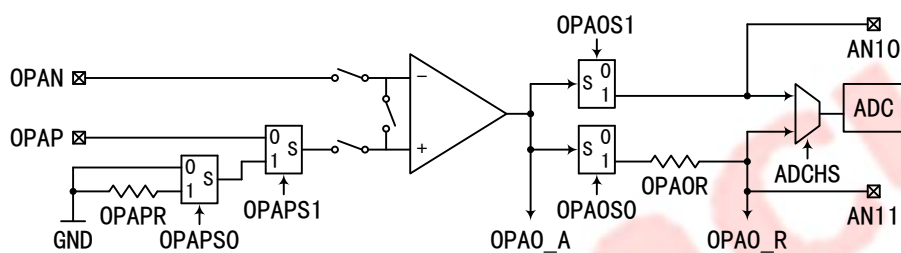
注：参考源应选择电压较为稳定的一路输入端，且参考源输入端的正、负极性不影响调校效果。

11 运算放大器 OPA

11.1 OPA 概述

芯片内置 1 个运算放大器电路 OPA，开环放大倍数为 60dB，共模输入范围为 0V ~ (VDD-1.4V)。OPA 的输入端失调电压可通过自消除寄存器 OPACLR 进行调校，精度为 ±2mV。OPA 的正/负输入端和输出端均可通过控制寄存器 OPACR 选择连接至端口或连接内部电路。OPA 的输出信号可通过 ADC 模块的通道选择进行 AD 转换，且可选择是否连接至比较器 CP3 的负输入端。

OPA 示意图如下，其中电阻 OPAPR 典型值为 6KΩ，OPAOR 典型值为 60KΩ。



11.2 OPA 相关寄存器

运放 OPA 控制寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPACR	OPAEN	OPAOP	-	-	OPAOS1	OPAOS0	OPAPS1	OPAPS0
R/W	R/W	R	-	-	R/W	R/W	R/W	R/W
初始值	0	X	-	-	0	0	0	0

BIT[7] **OPAEN** – OPA 功能使能位

- 0: 关闭 OPA 功能;
- 1: 使能 OPA 功能;

BIT[6] **OPAOP** – OPA 输出状态位

- 0: OPA 输出为 0，即 OPA 正输入端电压低于负输入端电压;
- 1: OPA 输出为 1，即 OPA 正输入端电压高于负输入端电压;

BIT[3] **OPAOS1** – OPA 端口输出控制位

- 0: OPA 输出端不可直接连至端口;
- 1: OPA 输出端可直接连至端口;

BIT[2] **OPAOS0** – OPA 输出电路串接电阻控制位

- 0: OPA 输出端不可通过电阻连至端口;
- 1: OPA 输出端可通过电阻连至端口;

BIT[1:0] **OPAPS[1:0]** – OPA 正输入端内部电路选择位

OPAPS[1:0]	OPA 正输入端内部电路选择
0X	OPA 正端连接端口 OPAP
10	OPA 正端直接接地
11	OPA 正端通过电阻(OPAPR)接地

OPA 自消除寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPACLR	OPAMOD	OPACLRS	OPACLR5	OPACLR4	OPACLR3	OPACLR2	OPACLR1	OPACLR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	1	0	0	0	0	0

BIT[7] **OPAMOD** – OPA 模式选择位

- 0: 运放模式;
- 1: 偏移电压自消除模式;

BIT[6] **OPACLRS** – OPA 自消除参考源选择位

- 0: 负输入端;
- 1: 正输入端;

BIT[5:0] **OPACLR[5:0]** – OPA 自消除控制位

11.3 OPA 失调电压调校流程

OPA 的失调电压调校流程与比较器的类似:

- (1) 将自消除寄存器 OPACLR 的模式选择位 OPAMOD 置 1, 进入失调电压自消除模式;
- (2) 通过 OPACLRS 选择 OPA 自消除参考源:
 - OPACLRS=0, 选择负输入端作为参考源;
 - OPACLRS=1, 选择正输入端作为参考源;
- (3) 设置自消除控制位 OPACLR[5:0]=00, 等待至少 100us 后读取 OPAOP 位;
- (4) OPACLR[5:0]自加 1, 等待至少 100us 后读取 OPAOP 位:
 - 当 OPAOP 位发生翻转, 则表示已调校到位;
 - 若 OPACLR[5:0]=3F 而 OPAOP 仍未发生翻转, 则表示共模输入超出范围, 调校失败;
- (5) 重复执行第 (4) 步, 直到调校到位或调校失败;
- (6) 判断当前调校输出方向:
 - 若 OPACLR[5]=1, 则 OPACLR[4:0]保持当前值不变;
 - 若 OPACLR[5]=0, 则 OPACLR[4:0]减 1 作为校准值;
- (7) 清 0 模式选择位 OPAMOD, 恢复成运放模式;

注: 参考源应选择电压较为稳定的一路输入端, 且参考源输入端的正、负极性不影响调校效果。

12 低电压检测 LVD

芯片内嵌低电压检测模块，可通过寄存器位 **LV DEN** 开启或关闭该功能，通过 **VLVDS** 选择电压比较值，可设置多个电压比较点，当 **VDD** 电压低于比较电压时标志位 **LVDF** 将置 1 并产生 LVD 中断，否则 **LVDF** 将清 0，但中断标志不会自动清 0。

LVD 控制寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDCR	LV DEN	-	-	VLVDS	-	-	-	LVDF
R/W	R/W	-	-	R/W	-	-	-	R
初始值	0	-	-	0	-	-	-	X

BIT[7] **LV DEN** – LVD 功能使能位

- 0: 关闭 LVD 功能;
- 1: 开启 LVD 功能;

BIT[4] **VLVDS** – LVD 比较电压选择位

VLVDS	LVD 电压比较值
0	3.3V
1	4.2V

BIT[0] **LVDF** – LVD 检测标志位

- 0: VDD 电压高于比较电压，或 LVD 关闭;
- 1: VDD 电压低于比较电压;

13 IIC 通讯接口

13.1 IIC 概述

芯片内置 IIC 通讯接口，可实现 IIC 总线通讯功能。IIC 总线是双向两线结构，数据线 SDA 和时钟线 SCL 与 I/O 端口复用，当 IIC 模块使能时，端口用作 SDA/SCL，此时为开漏输出。

本芯片 IIC 通讯接口仅支持 IIC 总线 7 位地址从机模式，总线时钟信号始终由 SCL 端口输入。当在总线上检测到 IIC 起始信号后开始接收主机发送的 7 位地址信息与 1 位读/写命令，若与本机预设地址匹配，则发送应答 ACK 以响应主机，并根据主机命令准备接收或发送数据，完成后检测到总线上的停止信号后结束通讯。

13.2 IIC 相关寄存器

IIC 控制寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IICCR	IICEOF	IICAAS	IICBUSY	IICMOD	SACK	MSTCMD	IICEN	RACK
R/W	R	R	R	R/W	R/W	R	R/W	R
初始值	0	0	0	0	0	0	0	1

BIT[7] **IICEOF** – IIC 通讯一帧数据收发结束标志位

- 0: 收发数据中；
- 1: 一帧数据收发结束；

BIT[6] **IICAAS** – IIC 地址匹配标志位

- 0: 地址不匹配；
- 1: 地址匹配；

BIT[5] **IICBUSY** – IIC 总线状态位

- 0: IIC 总线空闲；
- 1: IIC 总线被占用；

BIT[4] **IICMOD** – IIC 通讯发送/接收模式控制位

- 0: 接收模式，接收主机发送的数据；
- 1: 发送模式，向主机发送数据；

BIT[3] **SACK** – 发送应答信号控制位（IICMOD=0 时有效）

- 0: 接收模式下收到数据后应答；
- 1: 接收模式下收到数据后不应答；

- BIT[2] **MSTCMD** – 主机发送的命令信号位
 0: 主机发送写命令, 从机将接收数据;
 1: 主机发送读命令, 从机需发送数据;
- BIT[1] **IICEN** – IIC 通讯接口使能位
 0: 关闭 IIC 通讯接口;
 1: 使能 IIC 通讯接口;
- BIT[0] **RACK** – 接收到应答信号状态位 (IICMOD=1 时有效)
 0: 向主机发送数据后收到应答;
 1: 向主机发送数据后未收到应答;

IIC 地址寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IICAR	IICA6	IICA5	IICA4	IICA3	IICA2	IICA1	IICA0	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	-
初始值	0	0	0	0	0	0	0	-

BIT[7:1] **IICA[6:0]** – 预设的 7 位从机地址信息, 用作本机在总线中的地址编码

IIC 数据寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IICDR	IICD7	IICD6	IICD5	IICD4	IICD3	IICD2	IICD1	IICD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7:0] **IICD[7:0]** – IIC 通讯接收到的 8 位数据或准备发送的 8 位数据, 通讯时高位在前

13.3 IIC 通讯流程

IIC 通讯接口, 通过寄存器位 IICEN 控制 IIC 接口的关闭/使能, 通过 IICMOD 设置 IIC 接口当前的工作模式是发送模式还是接收模式。

接收模式下, 通过 SACK 位设置应答信号, 当接收到主机发送的 8 位数据后, 第 9 个时钟 IIC 模块将 SACK 位内容发送至 IIC 总线, 若需继续接收下一个数据, 则在接收数据前 SACK 位需清 0。

标志位 IICEOF 在开始传送数据时被清 0, 在一帧数据收发结束后被置 1。

标志位 IICAAS 当从器件地址匹配时被置 1, 同时 IIC 中断标志 (IICIF) 被置 1; 如果地址不匹配, IICAAS 被清 0。

标志位 IICBUSY=1 时表示 IIC 总线忙, 即检测到 START 信号; IICBUSY=0 表示 IIC 总线空闲, 即检测到 “STOP” 信号, 此时 I2C 总线空闲。

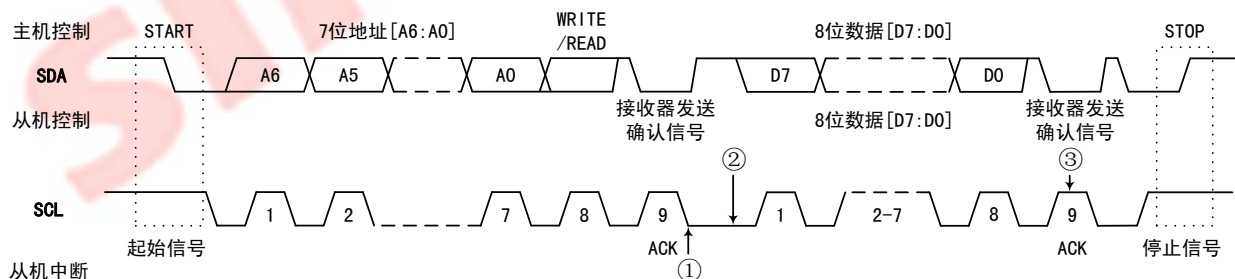
标志位 MSTCMD 表示当地址匹配时, 主机同时发送过来的读/写命令。当 IICAAS 被置 1 后, 可通过 MSTCMD 位来确定芯片是准备发送数据还是接收数据。当 MSTCMD=1, 表示主机将从 IIC 总线读数

据，从机需将数据写到 IIC 总线上，即从机为发送模式；当 MSTCMD=0，表示主机将写数据到 IIC 总线，从机需从总线读取数据，即从机为接收模式。

标志位 RACK=0，表示接收到一个应答信号，在发送模式，从机通过检测 RACK 以确定主机是否要接收下一个数据。从机将一直写数据到 IIC 总线直到 RACK=1，同时将释放 SDA 线，从而主机可以发送 STOP 信号来释放总线。

应用 IIC 通讯接口时，需先将预定的从机地址写入寄存器 IICAR 的第 7~1 位中保存，开始数据传输时，主机通过发送从机地址来指定通讯对象。一旦 IIC 总线上出现起始信号，则所有的从机都会接收到连续的 8 位数，该数据的前 7 位是从机地址，高位在前，低位在后。如果从机地址匹配，系统会将 IICAAS 置 1，同时产生 IIC 中断。进入中断服务程序后，系统要检测 IICAAS 位，以确定 IIC 总线中断是因从机地址匹配而产生的，还是来自 8 位数据传输完毕而产生的。8 位数据的最后一位是主机发送的读/写控制位，该位会反映到 MSTCMD。从机通过检测 MSTCMD 位以确定主机是要发送数据还是接收数据，并确定本机是作发送器还是接收器。

- (1) 将本机分配的 IIC 总线地址编码预先写入 IICAR 中；
- (2) IICEN 置 1，使能 IIC 模块；
- (3) IICIE 置 1，允许 IIC 中断；
- (4) 当从机地址匹配且 SACK=0 时，图中①处 IICAAS 将置 1 并产生中断，且会将 SCL 线拉低；
- (5) 通过检测 MSTCMD 来确定本机是准备发送数据还是接收数据：
 - ◇ 若将发送数据，则将 IICMOD 置 1，再将数据写入 IICDR 中；
 - ◇ 若将接收数据，则将 IICMOD 清 0，并设置 SACK 位以决定下一帧是否应答，如图中③处所示；
- (6) IICIF 清 0，并释放 SCL 线，如图中②处所示；
- (7) 当下一帧第 9 个时钟结束时，IICEOF=1 且产生中断。如果芯片处于接收模式且 SACK 为 0，或芯片处于发送模式且 RACK=0，将拉低时钟线 SCL；否则芯片会释放时钟线 SCL 和数据线 SDA 等待主机发 STOP 命令。



14 EEPROM

14.1 EEPROM 概述

芯片内置 64 字节的 EEPROM 数据存储单元，支持用户程序在带电工作中实时地读出或写入数据。读写 EEPROM 中的数据时需通过控制寄存器 EECR、数据寄存器 EEDR、地址寄存器 EEAR 和保护寄存器 EEMASK 进行。

EECR 中 EETRIG 位为操作启动标志位，置 1 启动读写操作，完成后自动清 0；EERW 位为读写命令位，为 0 表示读数据、为 1 表示写数据：读数据操作将从 EEAR 对应的 EEPROM 地址中读出数据，保存在 EEDR 中，写数据操作将 EEDR 中的数据写入 EEAR 对应的 EEPROM 地址中。

为防止误触发 EEPROM 读写操作，寄存器 EEMASK 需先写入 5AH 再立即写入 A5H，并在随后 2 个指令周期内将 EETRIG 位置 1，才能执行读写操作。否则 2 个指令周期后 EEMASK 将自动清零，此时 EETRIG 位置 1 不会执行读写操作，也不会自动清 0。

芯片仅支持单字节数据的读写操作，不支持连续地址读写功能，每次都必须通过 EEAR 设置将要访问的 EEPROM 数据的 6 位地址后，才能进行读写操作。

当启动 EEPROM 读写操作后，CPU 将暂停在当前指令，只有等 EEPROM 读写操作完成后，才能继续执行下一条指令。在读写 EEPROM 时需屏蔽中断并清 WDT 计数器，否则会因系统响应中断而导致读写错误。

注：

- 1、EEPROM 的操作时钟为 CPU 时钟，若 EE 的操作时钟频率过低将导致读写故障，所以 F_{CPU} 低于 EE 操作时钟最低频率时禁止读写 EEPROM (EE 操作时钟最低频率参见特性参数表)；
- 2、与 EEPROM 相关的寄存器 EECR、EEDR、EEAR 和 EEMASK，仅能通过 MOVAR 和 MOVRA 指令进行读写，其他指令的执行结果不确定；

14.2 EEPROM 相关寄存器

EEPROM 控制寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EECR	EETRIG	EERW	-	-	-	-	-	-
R/W	R/W	R/W	-	-	-	-	-	-
初始值	0	0	-	-	-	-	-	-

BIT[7] EETRIG – EEPROM 读写启动控制位

0: 未进行 EEPROM 读写操作，或 EEPROM 读写操作完成后硬件自动清 0；

1: 启动 EEPROM 读写操作；

BIT[6] **EERW** – EEPROM 读写命令位
 0: 从 EEPROM 中读出数据;
 1: 向 EEPROM 中写入数据;

EEPROM 保护寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EEMASK	EEMASK7	EEMASK6	EEMASK5	EEMASK4	EEMASK3	EEMASK2	EEMASK1	EEMASK0
R/W	W	W	W	W	W	W	W	W
初始值	0	0	0	0	0	0	0	0

BIT[7:0] **EEMASK[7:0]** – EEPROM 操作保护位，需先写 5AH 再立即写 A5H，EETRIG 才能置 1

EEPROM 地址寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EEAR	-	-	EEA5	EEA4	EEA3	EEA2	EEA1	EEA0
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初始值	-	-	0	0	0	0	0	0

BIT[5:0] **EEA[5:0]** – EEPROM 读写操作的 6 位地址

EEPROM 数据寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EEDR	EED7	EED6	EED5	EED4	EED3	EED2	EED1	EED0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7:0] **EED[7:0]** – EEPROM 读写操作的 8 位数据

14.3 EEPROM 操作示例

例：向地址为 10H 的 EEPROM 单元写入数据 55H

```

CLRR      EECR          ; 清 EETRIG 位
MOVAI    10H
MOVRA    EEAR          ; 将地址 10H 写入 EEAR
MOVAI    55H
MOVRA    EEDR          ; 将数据 55H 写入 EEDR
BCLR     GIE           ; 屏蔽中断
CLRWDT
MOVAI    5AH
MOVRA    EEMASK        ; 使能 EE 操作，第 1 步
MOVAI    A5H
    
```

MOVRA	EEMASK	; 使能 EE 操作, 第 2 步
MOVAI	COH	
MOVRA	EECR	; 启动 EE 写操作, 将数据 55H 写入 EEPROM 地址 10H 中
NOP		; 防止时序错误, CPU 必须冗余 1 个指令周期
BSET	GIE	; 允许中断

例: 从地址为 10H 的 EEPROM 单元读出数据 (数据存放在 EEDR 中)

CLRR	EECR	; 清 EETRIG 位
MOVAI	10H	
MOVRA	EEAR	; 将地址 10H 写入 EEAR
BCLR	GIE	; 屏蔽中断
CLRWDT		; 清 WDT
MOVAI	5AH	
MOVRA	EEMASK	; 使能 EE 操作, 第 1 步
MOVAI	A5H	
MOVRA	EEMASK	; 使能 EE 操作, 第 2 步
MOVAI	80H	
MOVRA	EECR	; 启动 EE 写操作, 从 EEPROM 地址 10H 中读出数据
NOP		; 防止时序错误, CPU 必须冗余 1 个指令周期
BSET	GIE	; 允许中断

15 中断

本芯片中断源有外部中断 (INT0~INT1)、定时器中断 (T0~T3)、ADC 转换中断、PPG 触发中断、比较器中断 (CP1~CP3) 和 IIC 通讯中断等。可通过寄存器控制位 GIE 屏蔽所有中断。

CPU 响应中断的过程如下：

- ◇ CPU 响应中断源触发的中断请求时，自动将当前指令的下一条要执行指令的地址压栈保存，自动清 0 中断总使能位 GIE 以暂停响应后续中断。与复位不同，硬件中断不停止当前指令的执行，而是暂时挂起中断直到当前指令执行完成。
- ◇ CPU 响应中断后，程序跳到中断向量地址开始执行中断服务程序，中断服务程序应先保存累加器 A 和状态寄存器 PFLAG，然后处理被触发的中断。
- ◇ 中断服务程序处理完中断后，应先恢复累加器 A 和状态寄存器 PFLAG，然后执行 RETIE 返回主程序。此时芯片将自动恢复 GIE 为 1，然后从堆栈取出 PC 值，从中断产生时当前指令的下一条指令继续执行。

本芯片的中断向量地址是 0008H。

15.1 外部中断

本芯片有 2 路外部中断源，INT0/INT1 可选择上升沿、下降沿或电平变化等三种触发方式。外部中断触发时，中断标志 (INT0IF、INT1IF) 将被置 1，若中断总使能位 GIE 为 1 且外部中断使能位 (INT0IE、INT1IE) 为 1，则产生外部中断。

15.2 定时器中断

定时器 T0、T1、T2、T3 在计数溢出时将触发定时器中断，中断标志 (T0IF、T1IF、T2IF、T3IF) 将被置 1，若中断总使能位 GIE 为 1 且定时器中断使能位 (T0IE、T1IE、T2IE、T3IE) 为 1，则产生定时器中断。

15.3 ADC 中断

ADC 转换完成后将触发 ADC 中断，中断标志 (ADIF) 将被置 1，若中断总使能位 GIE 为 1 且 ADC 中断使能位 (ADIE) 为 1，则产生 ADC 中断。

15.4 PPG 触发中断

当 PPG 模块中的内部信号 PPGTLV 产生上升沿时，中断标志 (PPGTIF) 将被置 1，若中断总使能位 GIE 为 1 且 PPG 触发中断使能位 (PPGTIE) 为 1，则产生 PPG 触发中断。

15.5 比较器中断

比较器 CP1、CP2、CP3 的输出产生下降沿时中断标志 (CP1IF、CP2IF、CP3IF) 将被置 1，若中断总使能位 GIE 为 1 且比较器中断使能位 (CP1IE、CP2IE、CP3IE) 为 1，则产生比较器中断。

15.6 IIC 通讯中断

芯片在进行 IIC 通讯时会产生中断，当器件地址匹配、数据接收或发送完成时中断标志 (IICIF) 将被置 1，若中断总使能位 GIE 为 1 且 IIC 中断使能位 (IICIE) 为 1，则产生 IIC 中断。

15.7 LVD 中断

当 VDD 电压下降至比较电压以下时中断标志 (LVDIF) 将被置 1，若中断总使能位 GIE 为 1 且 LVD 中断使能位 (LVDIE) 为 1，则产生 LVD 中断。

15.8 中断相关寄存器

中断使能寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE	PPGTIE	ADIE	IICIE	LVDIE	INT1IE	INT0IE	T1IE	TOIE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7] **PPGTIE** – PPG 触发中断使能位

0: 屏蔽 PPG 触发中断;

1: 使能 PPG 触发中断;

- BIT[6] **ADIE** – ADC 中断使能位
 0: 屏蔽 ADC 中断;
 1: 使能 ADC 中断;
- BIT[5] **IICIE** – IIC 中断使能位
 0: 屏蔽 IIC 中断;
 1: 使能 IIC 中断;
- BIT[4] **LVDIE** – LVD 中断使能位
 0: 屏蔽 LVD 中断;
 1: 使能 LVD 中断;
- BIT[3] **INT1IE** – INT1 中断使能位
 0: 屏蔽 INT1 中断;
 1: 使能 INT1 中断;
- BIT[2] **INT0IE** – INT0 中断使能位
 0: 屏蔽 INT0 中断;
 1: 使能 INT0 中断;
- BIT[1] **T1IE** – 定时器 T1 中断使能位
 0: 屏蔽定时器 T1 中断;
 1: 使能定时器 T1 中断;
- BIT[0] **T0IE** – 定时器 T0 中断使能位
 0: 屏蔽定时器 T0 中断;
 1: 使能定时器 T0 中断;

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	CP3IE	CP2IE	CP1IE	-	-	-	T3IE	T2IE
R/W	R/W	R/W	R/W	-	-	-	R/W	R/W
初始值	0	0	0	-	-	-	0	0

- BIT[7] **CP3IE** – CP3 中断使能位
 0: 屏蔽 CP3 中断;
 1: 使能 CP3 中断;
- BIT[6] **CP2IE** – CP2 中断使能位
 0: 屏蔽 CP2 中断;
 1: 使能 CP2 中断;
- BIT[5] **CP1IE** – CP1 中断使能位
 0: 屏蔽 CP1 中断;
 1: 使能 CP1 中断;

BIT[1] **T3IE** – 定时器 T3 中断使能位
0: 屏蔽定时器 T3 中断;
1: 使能定时器 T3 中断;

BIT[0] **T2IE** – 定时器 T2 中断使能位
0: 屏蔽定时器 T2 中断;
1: 使能定时器 T2 中断;

中断标志寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTF	PPGTIF	ADIF	IICIF	LVDIF	INT1IF	INTOIF	T1IF	TOIF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7] **PPGTIF** – PPG 触发中断标志位
0: 未发生 PPG 触发中断;
1: 发生 PPG 触发中断, 需软件清零;

BIT[6] **ADIF** – ADC 中断标志位
0: 未发生 ADC 中断;
1: 发生 ADC 中断, 需软件清零;

BIT[5] **IICIF** – IIC 中断标志位
0: 未发生 IIC 中断;
1: 发生 IIC 中断, 需软件清零;

BIT[4] **LVDIF** – LVD 中断标志位
0: 未发生 LVD 中断;
1: 发生 LVD 中断, 需软件清零;

BIT[3] **INT1IF** – INT1 中断标志位
0: 未发生 INT1 中断;
1: 发生 INT1 中断, 需软件清零;

BIT[2] **INTOIF** – INTO 中断标志位
0: 未发生 INTO 中断;
1: 发生 INTO 中断, 需软件清零;

BIT[1] **T1IF** – 定时器 T1 中断标志位
0: 未发生定时器 T1 中断;
1: 发生定时器 T1 中断, 需软件清零;

BIT[0] **T0IF** – 定时器 T0 中断标志位
 0: 未发生定时器 T0 中断;
 1: 发生定时器 T0 中断, 需软件清零;

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTF1	CP3IF	CP2IF	CP1IF	-	-	-	T3IF	T2IF
R/W	R/W	R/W	R/W	-	-	-	R/W	R/W
初始值	0	0	0	-	-	-	0	0

BIT[7] **CP3IF** – CP3 中断标志位
 0: 未发生 CP3 中断;
 1: 发生 CP3 中断, 需软件清零;

BIT[6] **CP2IF** – CP2 中断标志位
 0: 未发生 CP2 中断;
 1: 发生 CP2 中断, 需软件清零;

BIT[5] **CP1IF** – CP1 中断标志位
 0: 未发生 CP1 中断;
 1: 发生 CP1 中断, 需软件清零;

BIT[1] **T3IF** – 定时器 T3 中断标志位
 0: 未发生定时器 T3 中断;
 1: 发生定时器 T3 中断, 需软件清零;

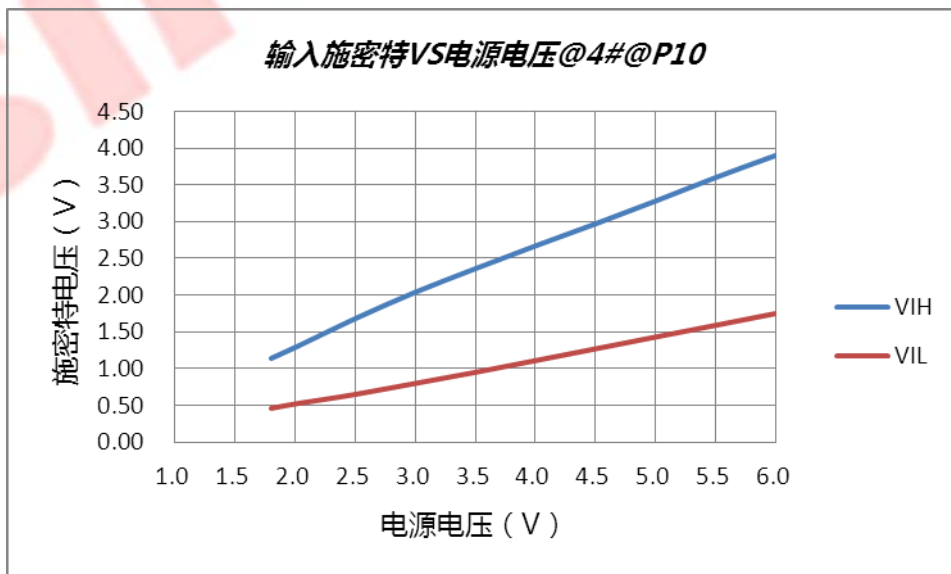
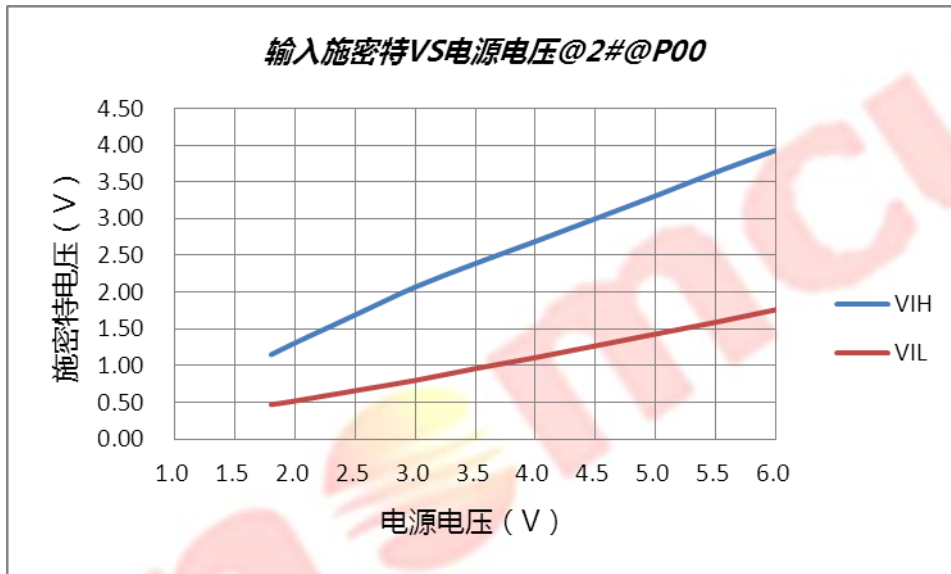
BIT[0] **T2IF** – 定时器 T2 中断标志位
 0: 未发生定时器 T2 中断;
 1: 发生定时器 T2 中断, 需软件清零;

16 特性曲线

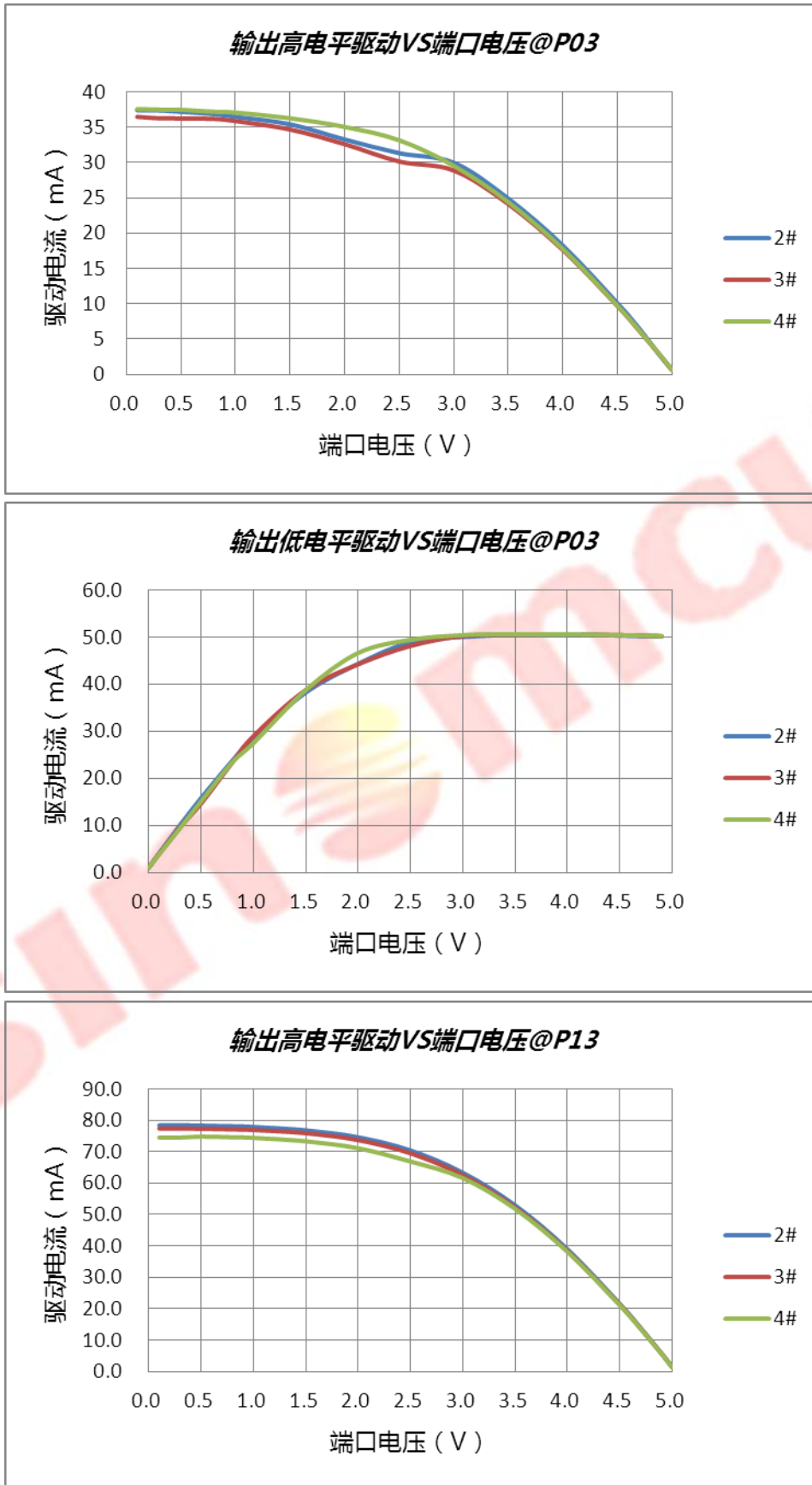
注：本章节所列特性曲线图为抽样实测数据，仅作为应用参考，部分数据因生产工艺偏差，可能与实际芯片不符；为保证芯片能正常工作，请确保其工作条件符合电气特性参数说明。

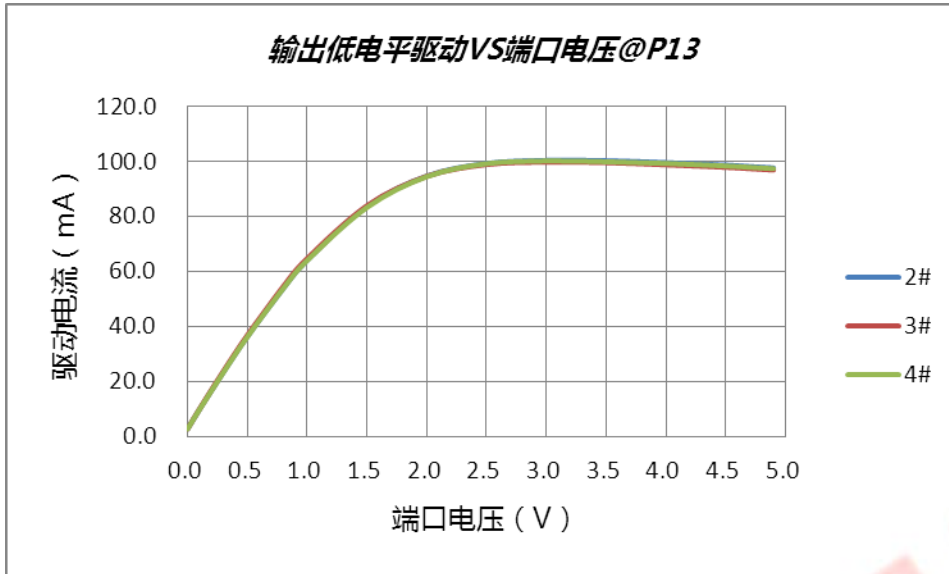
16.1 I/O 特性

输入 SMT，阈值电压 VS 电源电压

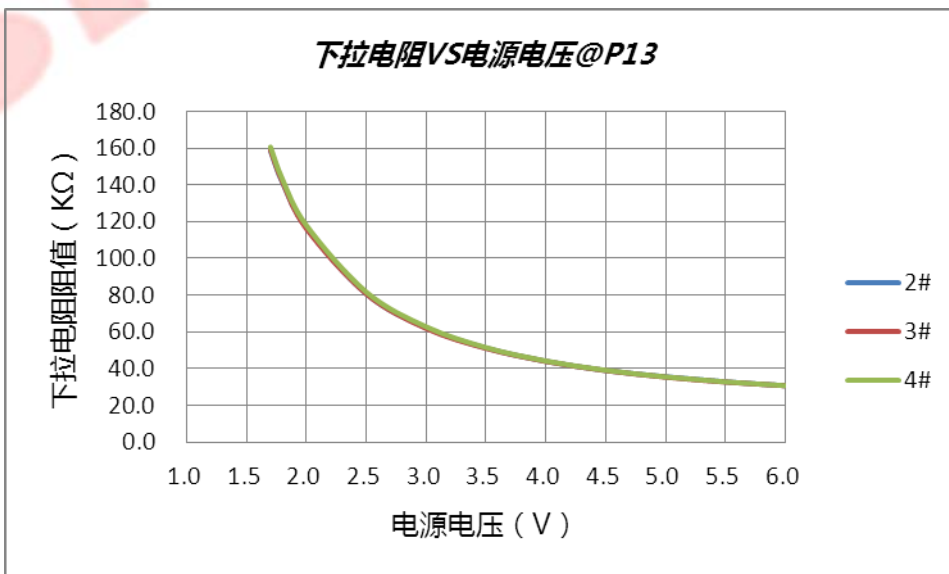
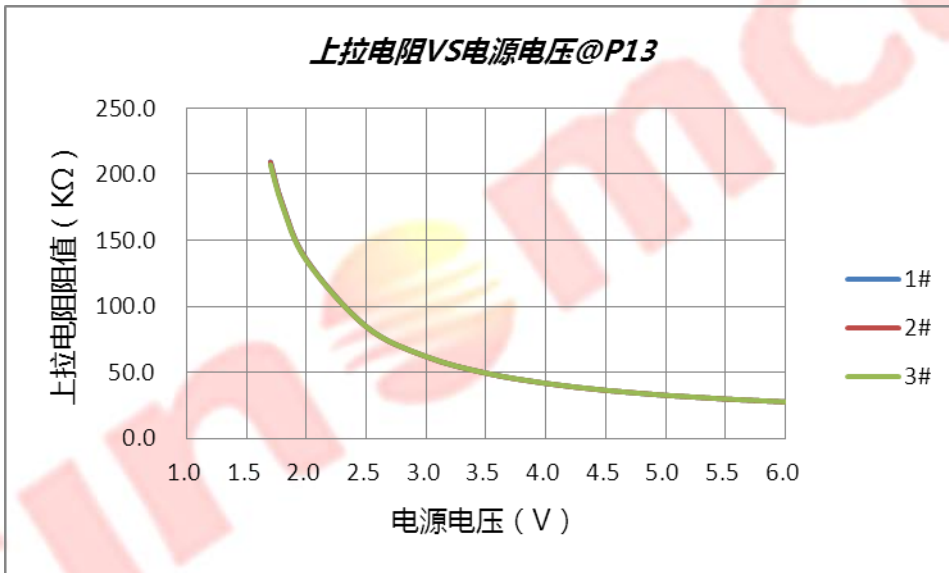


I/O 输出，驱动电流 VS 端口输出电压



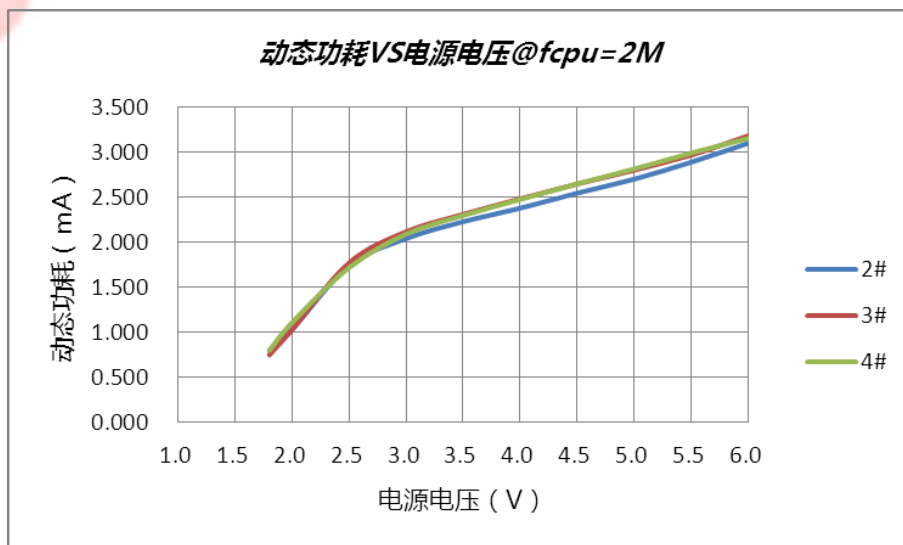
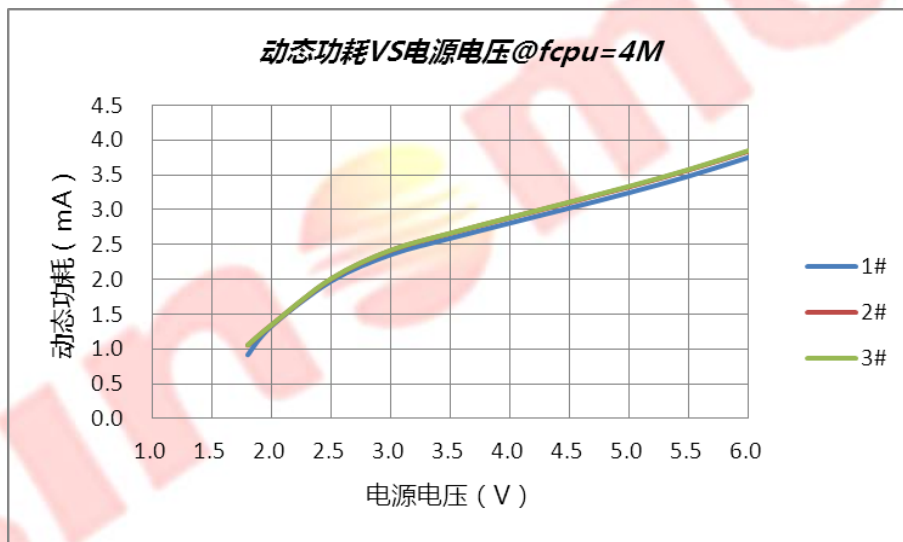
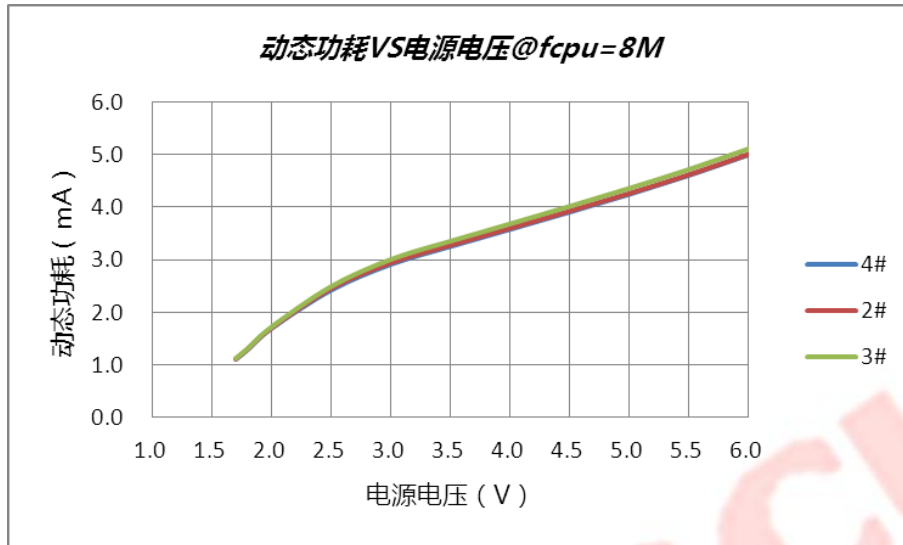


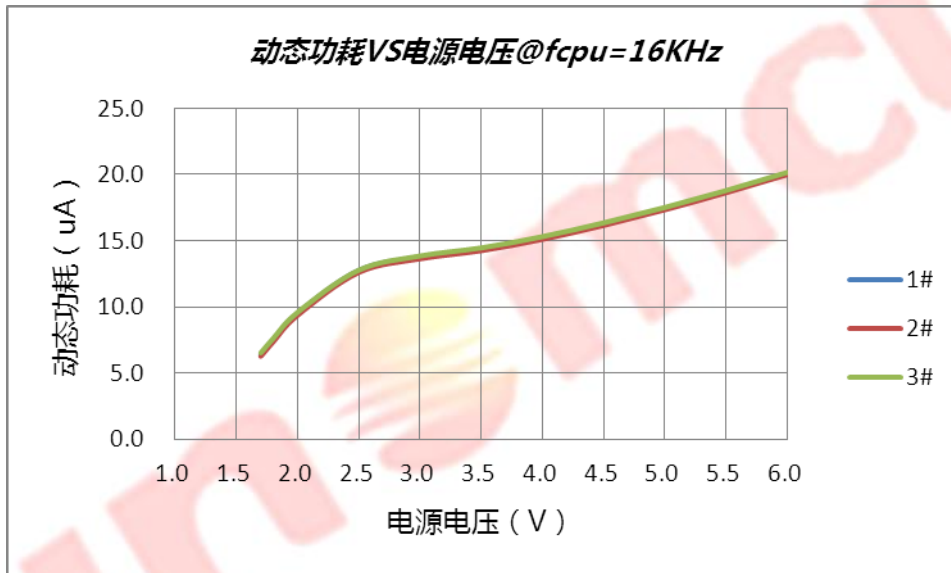
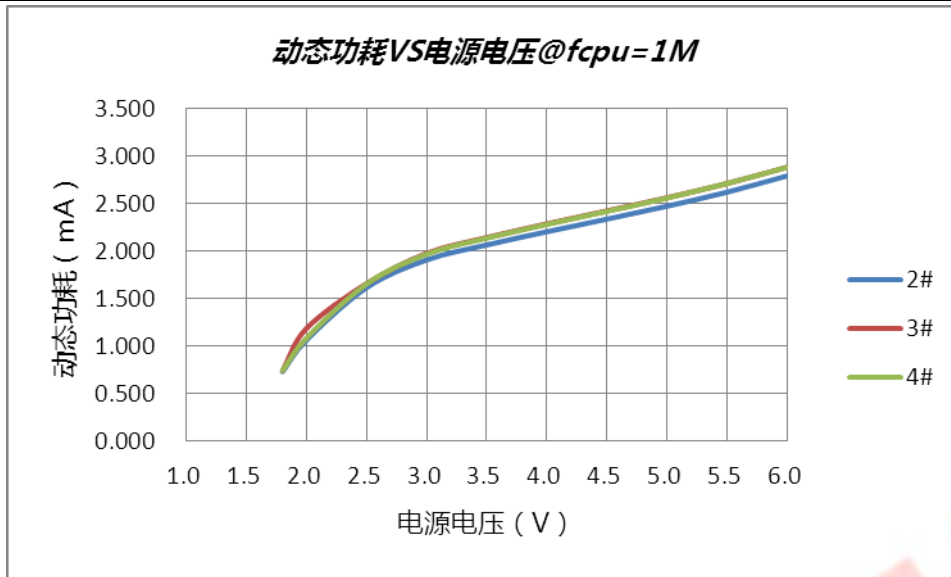
上/下拉电阻值 VS 电源电压



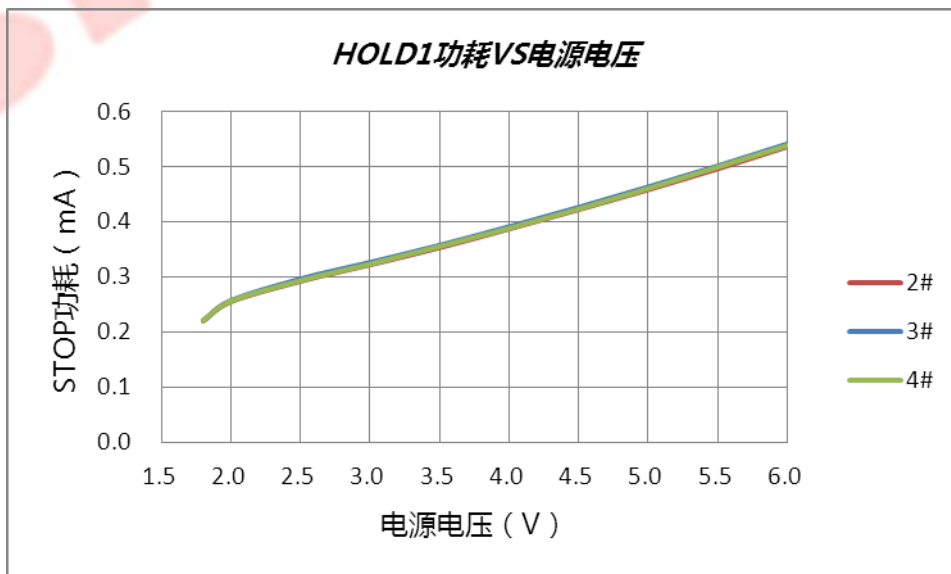
16.2 功耗特性

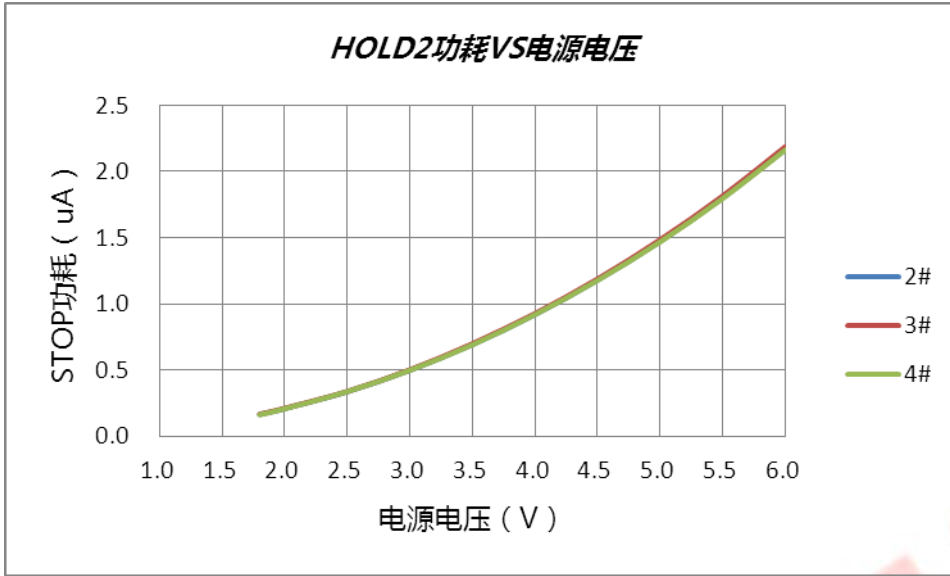
运行模式 功耗 VS 电源电压



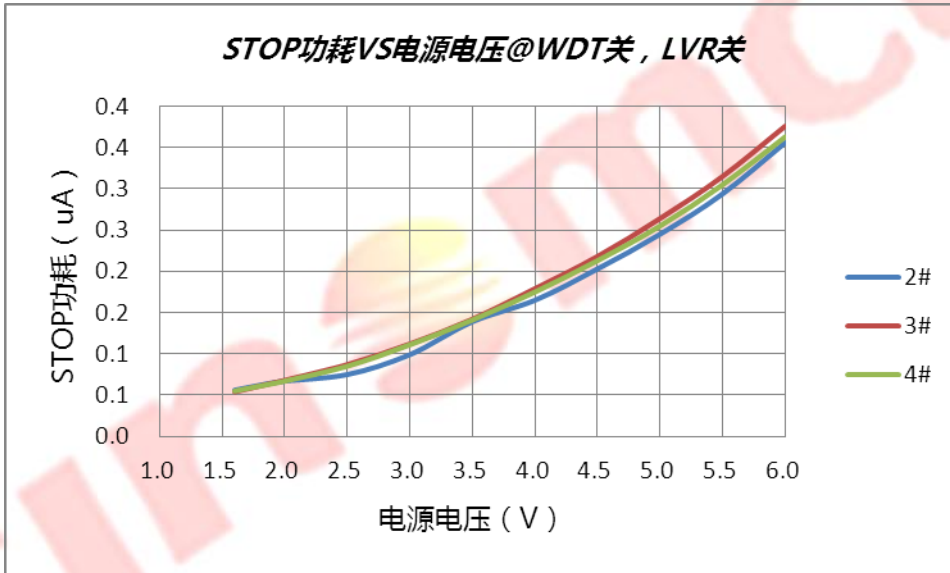


HOLD 模式 功耗 VS 电源电压



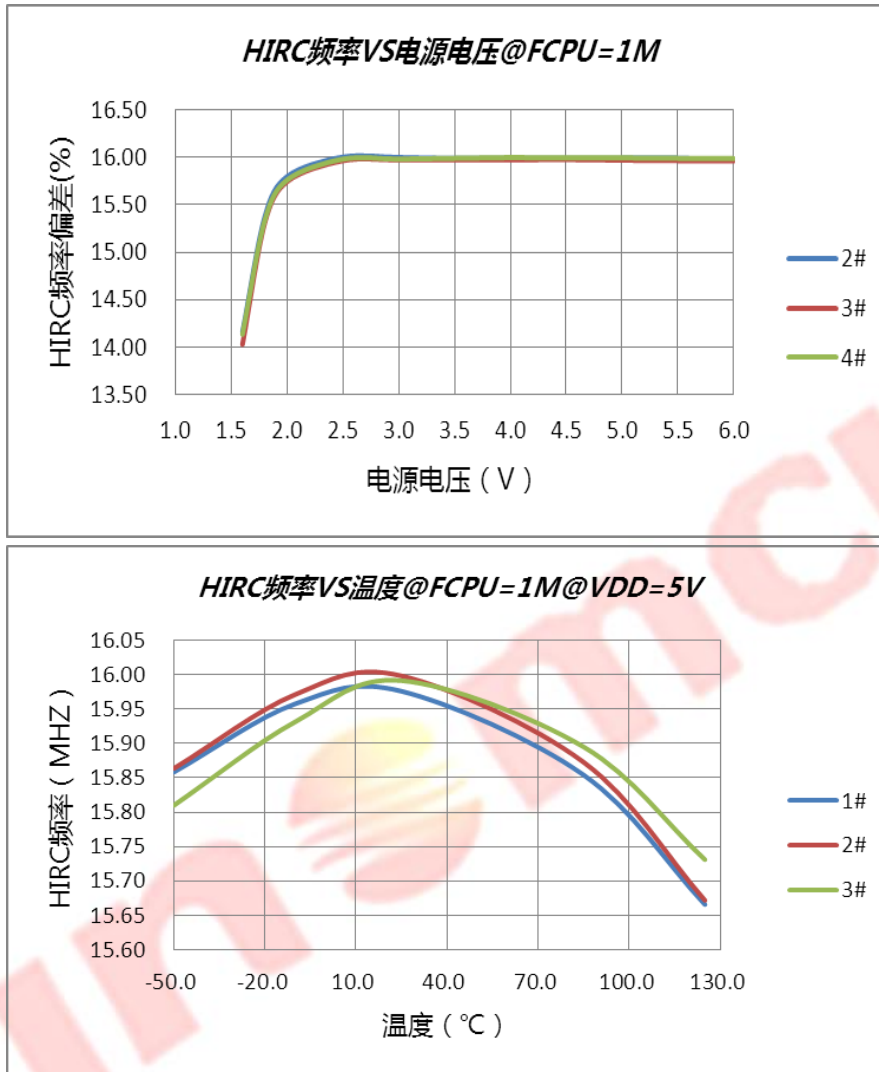


休眠模式 功耗 VS 电源电压

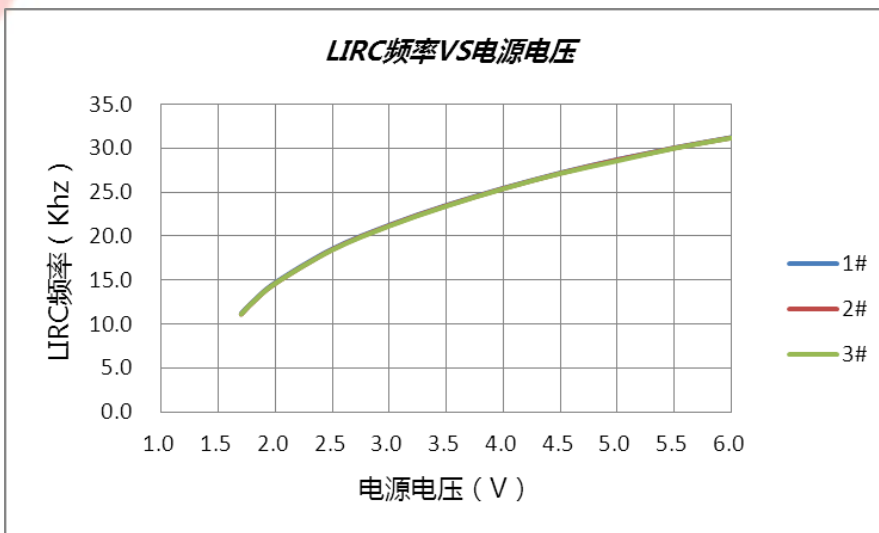


16.3 模拟电路特性

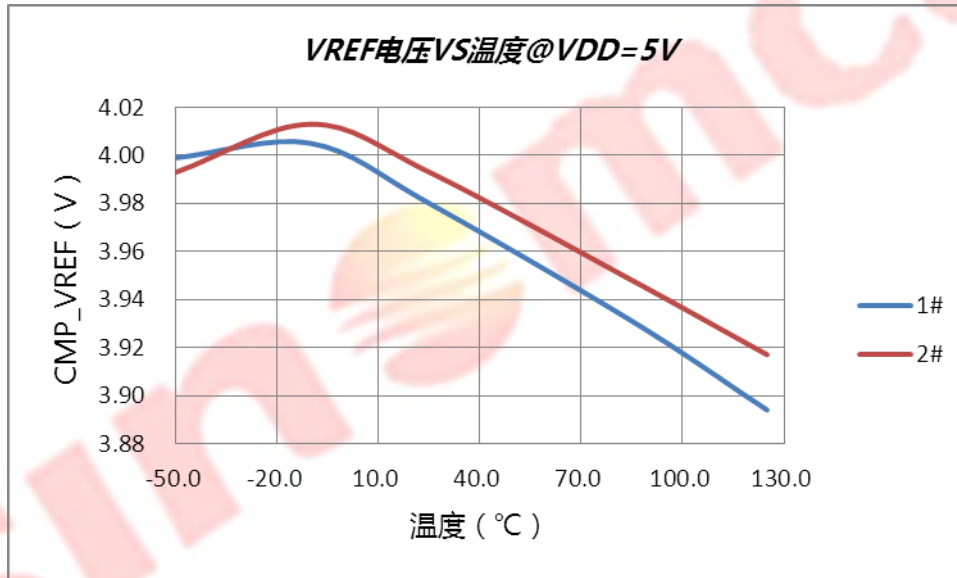
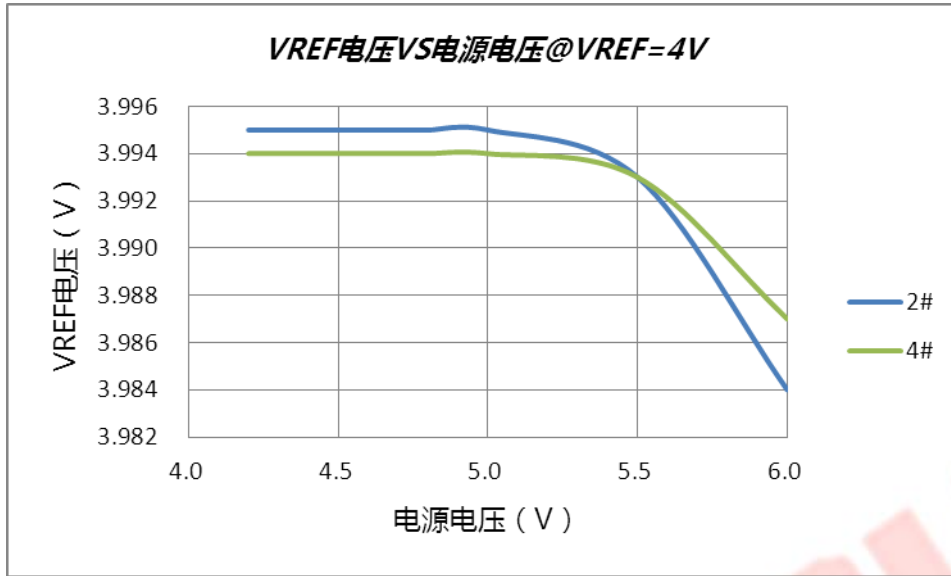
HIRC 频率 VS 电源电压/温度



LIRC 频率 VS 电源电压

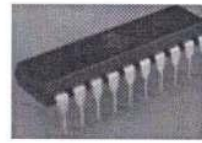
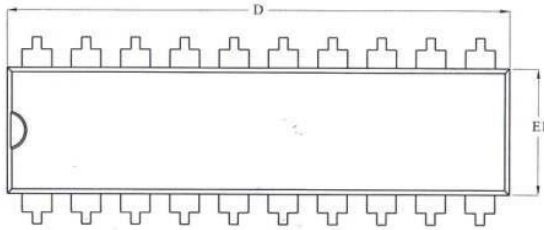
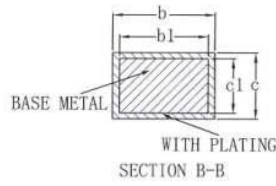
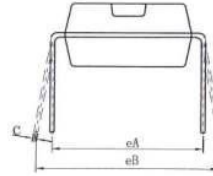
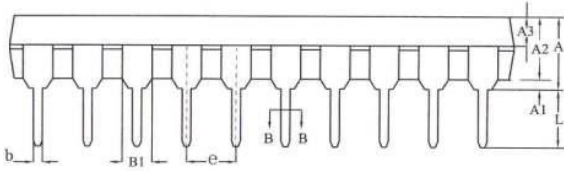


VREF 电压 VS 电源电压/温度



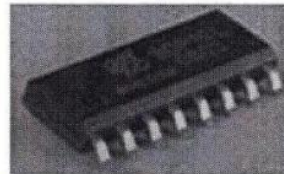
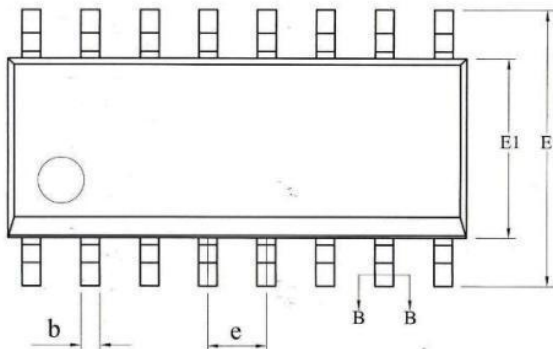
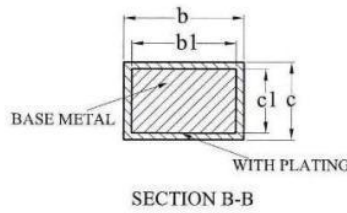
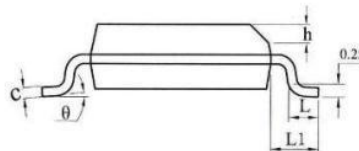
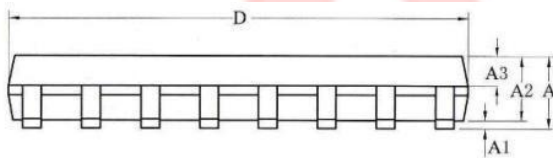
17 封装尺寸

17.1 DIP20



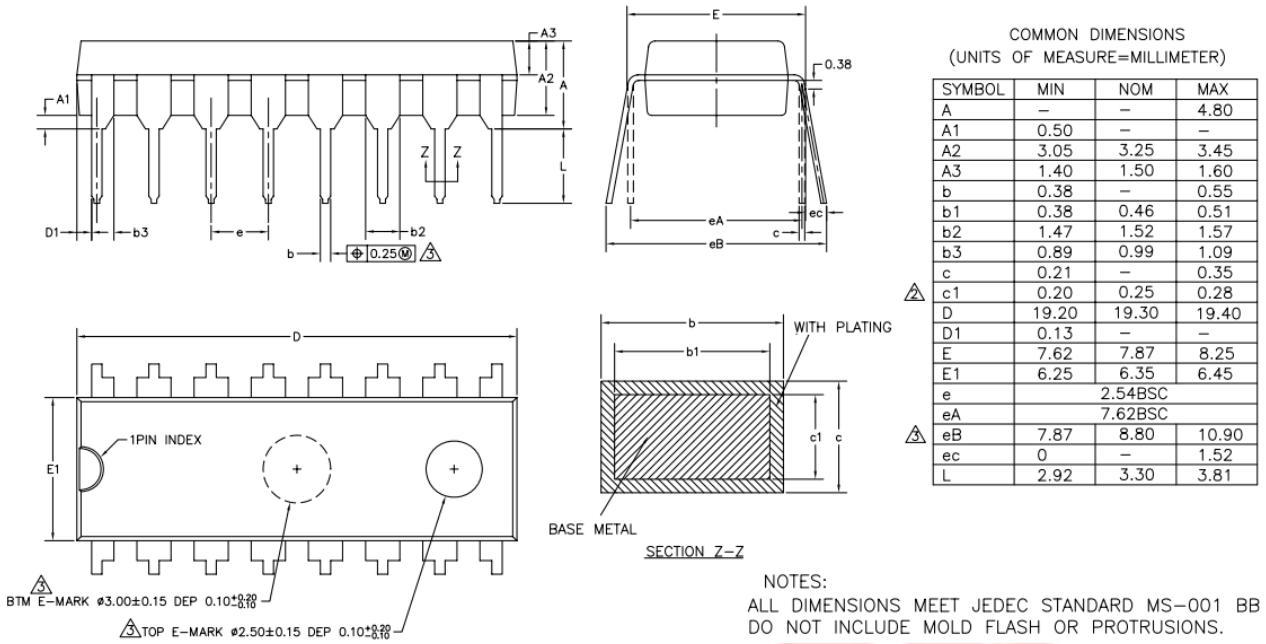
SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	3.60	3.80	4.00
A1	0.51	—	—
A2	3.20	3.30	3.40
A3	1.47	1.52	1.57
b	0.44	—	0.52
b1	0.43	0.46	0.49
B1	1.52REF		
c	0.25	—	0.29
c1	0.24	0.25	0.26
D	25.80	25.90	26.00
E1	6.45	6.55	6.65
e	2.54BSC		
eA	7.62REF		
eB	7.62	—	9.30
eC	0	—	0.84
L	3.00	—	—

17.2 SOP16



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.75
A1	0.10	—	0.225
A2	1.30	1.40	1.50
A3	0.60	0.65	0.70
b	0.39	—	0.47
b1	0.38	0.41	0.44
c	0.20	—	0.24
c1	0.19	0.20	0.21
D	9.80	9.90	10.00
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.27BSC		
h	0.25	—	0.50
L	0.50	—	0.80
L1	1.05REF		
theta	0	—	8°

17.3 DIP16



18 修订记录

版本	修订日期	修订内容
V1.0	2018-10-16	初版发布；
V1.1	2020-04-17	新增烧录端口 PDO，更新在线编程连线示意图；