

晟矽微电 8 位单片机

**MC30P6201**

**用户手册**

V1.1





## 目录

1	产品概要	4
1.1	产品特性	4
1.2	订购信息	5
1.3	引脚排列	6
1.4	端口说明	7
2	电气特性	9
2.1	极限参数	9
2.2	直流电气特性	9
2.3	交流电气特性	10
2.4	CMP 特性参数	11
3	CPU 与存储器	12
3.1	指令集	12
3.2	程序存储器	13
3.3	数据存储器	14
3.4	堆栈	15
3.5	控制寄存器	15
3.6	用户配置字	18
4	时钟	20
4.1	内部高频 RC 振荡器	21
4.2	内部低频 RC 振荡器	21
4.3	外部晶体振荡器	21
4.4	外部 RC 振荡器	21
4.5	系统工作模式	22
4.6	低功耗模式	22
5	复位	23
5.1	复位条件	23
5.2	上电复位	24
5.3	外部复位	24
5.4	低电压复位	24
5.5	看门狗复位	24
6	I/O 端口	25
6.1	通用 I/O 功能	25
6.2	内部上/下拉电阻	26
6.3	端口模式控制	28
7	定时器 TIMER	30
7.1	看门狗定时器 WDT	30
7.2	定时器 T0	30
7.3	定时器 T1	32
7.4	定时器 T2	36
8	比较器 CMP 和电压检测 EVD	41
8.1	CMP 概述	41



8.2	CMP 相关寄存器.....	42
9	中断.....	44
9.1	外部中断.....	44
9.2	定时器中断.....	44
9.3	键盘中断.....	44
9.4	比较器中断.....	45
9.5	中断相关寄存器.....	45
10	特性曲线.....	48
10.1	I/O 特性.....	48
10.2	功耗特性.....	51
10.3	模拟电路特性.....	56
11	封装尺寸.....	60
11.1	SOP20.....	60
11.2	SSOP20 (e=0.65).....	60
11.3	SOP18.....	61
11.4	DIP18.....	61
11.5	SOP16.....	62
11.6	DIP16.....	62
11.7	SOP14.....	63
11.8	DIP14.....	63
11.9	TSSOP20.....	64
12	修订记录.....	65



## 1 产品概要

### 1.1 产品特性

- 8 位 CPU 内核
  - ◇ 精简指令集, 5 级深度硬件堆栈
  - ◇ CPU 为单时钟, 仅在系统主时钟下运行
  - ◇ 系统主时钟下 F<sub>CPU</sub> 可配置为 F<sub>OSC</sub> 的 2/4 分频
- 程序存储器
  - ◇ 2K×14 位 OTP 型程序存储器 (烧录 1 次)
  - ◇ 1K×14 位 OTP 型程序存储器 (烧录 2 次)
- 数据存储器
  - ◇ 96 字节 SRAM 型通用数据存储器, 支持直接寻址、间接寻址等多种寻址方式
- 3 组共 18 个 I/O
  - ◇ P0 (P00~P07), P1 (P10~P17), P2 (P20~P21)
  - ◇ 所有端口均支持施密特输入, 除 P05 外均支持推挽输出, P1 所有端口均可选推挽或开漏输出, P04~P07/P20~P21 可选输入/输出态或高阻态 (复位初始状态为高阻态)
  - ◇ P05 为输入/开漏输出口, 可复用为外部复位 RST 输入, 编程时为高压 VPP 输入
  - ◇ P06/P07 可复用为外部时钟振荡器输入/输出
  - ◇ 所有端口均内置上拉和下拉电阻, 均可单独使能
  - ◇ P10/P00 可复用为外部中断输入, 支持外部中断唤醒功能
  - ◇ P0 和 P1 所有端口均支持键盘中断唤醒功能, 并可单独使能
- 时钟源
  - ◇ 内置高频 RC 振荡器 (16MHz), 其 1/2/4/8/16/32 分频时钟, 可用作系统主时钟源
  - ◇ 支持外接高频晶体振荡器 (455KHz/4MHz~16MHz), 可用作系统主时钟源
  - ◇ 支持外接 RC 振荡器 (0~4MHz), 可用作系统主时钟源
  - ◇ 内置低频 RC 振荡器 (32KHz), 可用作系统主时钟源、或外设低频时钟源
  - ◇ 支持外接低频晶体振荡器 (32768Hz), 可用作系统主时钟源、或外设低频时钟源
- 系统工作模式
  - ◇ 运行模式: CPU 在系统主时钟下运行
  - ◇ 休眠模式 (低功耗模式): CPU 暂停, 系统主时钟源停止
- 内部自振式看门狗计数器 (WDT)
  - ◇ 与定时器 T0 共用预分频器
  - ◇ 溢出时间可配置: 4.5ms/18ms/72ms/288ms (无预分频)
  - ◇ 工作模式可配置: 始终开启、始终关闭, 也可软件控制开启或关闭
- 3 个定时器
  - ◇ 8 位定时器 T0, 支持外设低频时钟, 可实现外部计数功能, 与 WDT 共用预分频器
  - ◇ 8 位定时器 T1, 可实现外部计数、3 路共周期独立占空比的 PWM (可组合成 1 对带死区互补 PWM)
  - ◇ 11 位定时器 T2, 可实现 2 路 11 位共周期独立占空比的 PWM
- 1 个模拟比较器 CMP
  - ◇ 输入共模 0 ~ (VDD-1.4V), 输出可选有/无回滞



- ◇ 正端输入可选择外部输入电压、或内部基准电压  $V_{IR}$  (0.5V)
- ◇ 负端输入可选择外部输入电压、或外部输入电压/VDD 的内部分压电压
- ◇ 输出端电平可选择上升沿或下降沿触发中断，可从端口输出且支持输出取反
- ◇ 可实现 VDD 或外部输入的电压检测 (EVD) 功能
- 中断
  - ◇ 外部中断 (INT0~INT1)，键盘中断 (P00~P07, P10~P17)
  - ◇ 定时器中断 (T0~T2)
  - ◇ CMP 中断
- 低电压复位 LVR
  - ◇ 1.8V/2.0V/2.4V/2.7V/3.0V
- 工作电压
  - ◇  $V_{LVR27} \sim 5.5V @ F_{cpu} = 0\sim 8MHz @ HIRC$
  - ◇  $V_{LVR20} \sim 5.5V @ F_{cpu} = 0\sim 4MHz @ HIRC$
  - ◇  $V_{LVR18} \sim 5.5V @ F_{cpu} = 0\sim 32KHz/2 @ LIRC$
- 封装形式
  - ◇ SOP20/SSOP20/TSSOP20/SOP18/DIP18/SOP16/DIP16/SOP14/DIP14

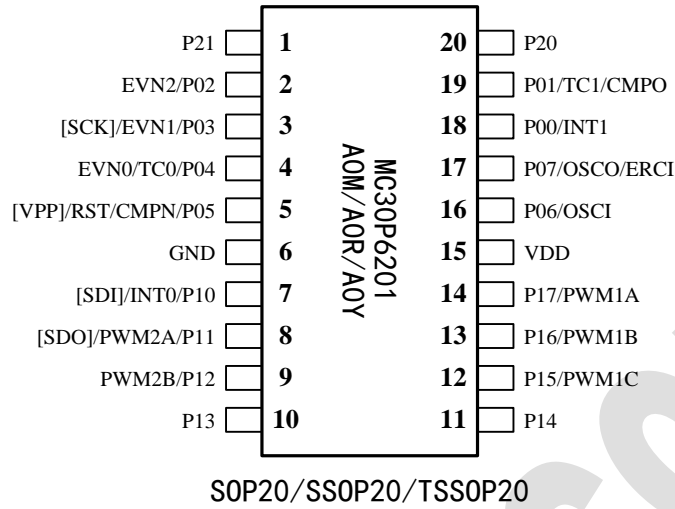
## 1.2 订购信息

产品名称	封装形式	备注
MC30P6201A0M	SOP20	
MC30P6201A0R	SSOP20	e=0.65
MC30P6201A0Y	TSSOP20	
MC30P6201A0L	SOP18	
MC30P6201A0D	DIP18	
MC30P6201A0K	SOP16	
MC30P6201A0C	DIP16	
MC30P6201A0J	SOP14	
MC30P6201A0B	DIP14	

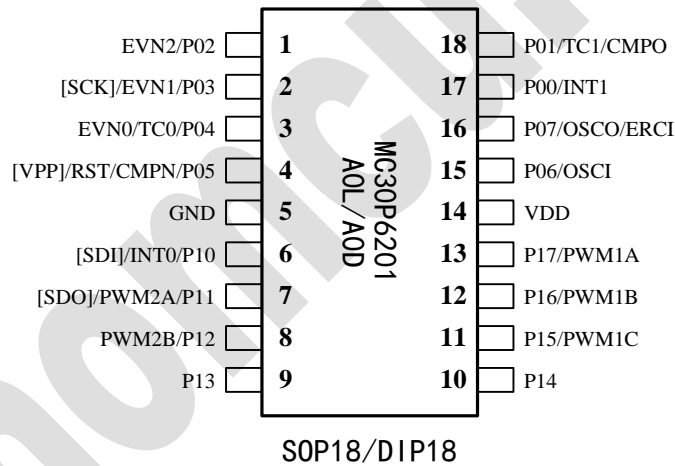


### 1.3 引脚排列

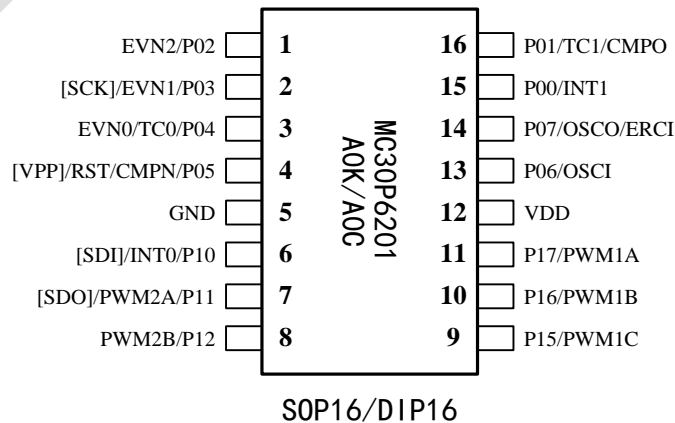
#### MC30P6201A0M/A0R/A0Y



#### MC30P6201A0L/A0D

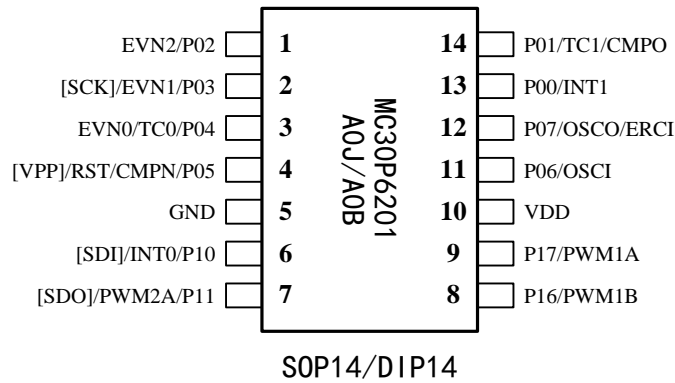


#### MC30P6201A0K/A0C





## MC30P6201A0J/A0B



## 1.4 端口说明

端口名称	类型	功能说明
VDD	P	电源
GND	P	地
P0 (除 P05) , P2	D	GPIO (推挽输出), 内部上/下拉
P05	D	GPIO (开漏输出), 内部上/下拉
P1	D	GPIO (推挽输出或开漏输出), 内部上/下拉
INT0~INT1	DI	外部中断输入
TC0~TC1	DI	定时器 T0~T1 的外部计数输入
PWM1A~PWM1C	DO	定时器 T1 的 3 路 PWM 输出
PWM2A~PWM2B	DO	定时器 T2 的 2 路 PWM 输出
CMPN	AI	CMP 负端外部输入
EVN0	AI	CMP 正端外部输入; CMP 电压检测外部输入通道
EVN1~EVN2	AI	CMP 电压检测外部输入通道
CMPO	DO	CMP 输出
OSCI, OSCO	A	外部时钟振荡器输入/输出
ERCI	AI	外部 RC 振荡器输入
RST	DI	外部复位输入
SCK, SDI, SDO	D	编程时钟/数据输入/数据输出接口
VPP	P	编程高压输入

注: P-电源端口; D-数字端口, DI-数字输入, DO-数字输出; A-模拟端口, AI-模拟输入, AO-模拟输出。



Sinomcu.com





## 2 电气特性

### 2.1 极限参数

参数	符号	值	单位
电源电压	VDD	-0.3~6.0	V
I/O 输入电压	V <sub>in</sub>	-0.3~VDD+0.3	V
工作温度	T <sub>a</sub>	-40~85	°C
储存温度	T <sub>stg</sub>	-65~150	°C
流入 VDD 最大电流	IVDDmax	60	mA
流出 GND 最大电流	IGNDmax	60	mA

注：若芯片工作条件超过极限值，则会造成永久性损坏；若芯片长时间工作在极限条件下，则将影响其可靠性。

### 2.2 直流电气特性

VDD=5V, T=25°C

特性	符号	端口	条件	最小	典型	最大	单位
工作电压	VDD	VDD	F <sub>cpu</sub> =8MHz@F <sub>HIRC</sub> (16M)/2	V <sub>LVR27</sub>		5.5	V
			F <sub>cpu</sub> =4MHz@F <sub>HIRC</sub> (8M)/2	V <sub>LVR20</sub>		5.5	
			F <sub>cpu</sub> =2MHz@F <sub>HIRC</sub> (4M)/2	V <sub>LVR20</sub>		5.5	
			F <sub>cpu</sub> =1MHz@F <sub>HIRC</sub> (2M)/2	V <sub>LVR20</sub>		5.5	
			F <sub>cpu</sub> =500KHz@F <sub>HIRC</sub> (1M)/2	V <sub>LVR20</sub>		5.5	
			F <sub>cpu</sub> =8MHz@F <sub>HEXT</sub> (16M)/2	V <sub>LVR30</sub>		5.5	
			F <sub>cpu</sub> =4MHz@F <sub>HEXT</sub> (8M)/2	V <sub>LVR24</sub>		5.5	
			F <sub>cpu</sub> =2MHz@F <sub>HEXT</sub> (4M)/2	V <sub>LVR20</sub>		5.5	
			F <sub>cpu</sub> =227.5KHz@F <sub>HEXT</sub> (455K)/2	V <sub>LVR20</sub>		5.5	
			F <sub>cpu</sub> =16KHz@F <sub>LIRC</sub> (32K)/2	V <sub>LVR18</sub>		5.5	
			F <sub>cpu</sub> =16.384KHz@F <sub>LEXT</sub> (32.768K)/2	V <sub>LVR18</sub>		5.5	
输入漏电流	I <sub>leak</sub>	所有输入脚	VDD=5V	-1		1	μA
输入高电平	V <sub>ih</sub>	所有输入脚	SMTVS 配置	0.8VDD			V
			SMTVS 配置	2.0			
输入低电平	V <sub>il</sub>	所有输入脚	SMTVS 配置			0.2VDD	V
			SMTVS 配置			0.8	
上拉电阻	R <sub>pu1</sub>	所有输入脚 (除 P05)	VDD=5V, V <sub>in</sub> =0	-25%	16	+25%	KΩ
	R <sub>pu2</sub>	P05	VDD=5V, V <sub>in</sub> =0		50		KΩ



下拉电阻	Rpd1	所有输入脚 (除 P05)	Vin=VDD=5V	-25%	16	+25%	KΩ
	Rpd2	P05	Vin=VDD=5V		80		KΩ
输出源电流	Ioh	推挽输出脚	Voh=VDD-0.6V		20		mA
输出灌电流	Iol	所有输出脚	Vol=0.6V		30		mA
运行模式功耗	Irun	VDD	Fcpu=8MHz@HIRC(16M)/2		2.9		mA
			Fcpu=4MHz@HIRC(8M)/2		1.6		mA
			Fcpu=2MHz@HIRC(4M)/2		0.9		mA
			Fcpu=1MHz@HIRC(2M)/2		580		μA
			Fcpu=500KHz@HIRC(1M)/2		420		μA
			Fcpu=8MHz@HEXT(16M)/2		3.6		mA
			Fcpu=4MHz@HEXT(8M)/2		2.0		mA
			Fcpu=2MHz@HEXT(4M)/2		1.3		mA
			Fcpu=227.5KHz@HEXT(455K)/2		350		μA
			Fcpu=16KHz@LIRC(32K)/2		8.5		μA
			Fcpu=16.384KHz@LEXT(32.768K)/2		10		μA
休眠模式功耗	Istop	VDD	单时钟 HIRC 模式, WDT 关		0.2	1	μA
			双时钟 HIRC+LIRC 模式		3	6	μA
			双时钟 HIRC+LEXT 模式		6.5	13	μA
低压复位电压	VLVR	VDD	LVRVS 配置	-5%		+5%	V
LVR 回滞电压		VDD			6%	12%	

注：条件项中，无关模块默认关闭，无关端口设为低电平无负载输出或内部上/下拉电阻无效且外接 GND 的输入。

## 2.3 交流电气特性

特性	符号	条件	最小	典型	最大	单位
HIRC 振荡频率	FHIRC	VDD=5V, T=25°C	-2%	16	+2%	MHz
		VDD=2.0V~5.5V, T=-40°C~85°C	-5%		+5%	
LIRC 振荡频率	FLIRC	VDD=5V, T=25°C	-50%	32	+50%	KHz
16M 晶振起振电压		T=25°C	3.0			V
8M 晶振起振电压		T=25°C	2.4			V
4M 晶振起振电压		T=25°C	2.0			V
455K 晶振起振电压		T=25°C	2.0			V
32768 晶振起振电压		T=25°C	1.8			V
32768 晶振起振时间		VDD=5V, T=25°C		1		s
OSCI 内部对地电容	CG			10		pF
OSCO 内部对地电容	CD			10		pF



外部 RC 振荡频率	FERC1	VDD=5V, T=25°C, R=1KΩ, C=100pF	-50%	3.4	+50%	MHz
	FERC2	VDD=5V, T=25°C, R=3KΩ, C=100pF	-50%	1.3	+50%	MHz
	FERC3	VDD=5V, T=25°C, R=1KΩ, C=1000pF	-50%	590	+50%	KHz

## 2.4 CMP 特性参数

VDD=5V, T=25°C

特性	符号	条件	最小	典型	最大	单位
比较器有效工作电压	V <sub>CMP</sub>	T=-40°C~85°C	2.0		5.5	V
电压比较电路工作电流	I <sub>CMP</sub>			10		μA
电压检测电路工作电流	I <sub>EVD</sub>	VDD=5V, EVDIS=00		20	40	μA
输入失调电压	V <sub>offset</sub>		-15		+15	mV
输入共模电压	V <sub>com</sub>		0		VDD-1.4	V
输出回滞电压	V <sub>hys</sub>	CMPPS=0 (电压检测)		6%	12%	
		CMPPS=1 (电压比较)	5	12	30	mV
响应时间	T <sub>RESP</sub>	快速响应		2	20	μs
		慢速响应		50	2000	
通道切换等待时间	T <sub>CCW</sub>		200			μs
内部基准电压	V <sub>IR</sub>		-5%	0.5	+5%	V
电阻分压比值			-1%		+1%	



### 3 CPU 与存储器

#### 3.1 指令集

芯片的指令集为精简指令集。除程序跳转类指令外，其他指令均为单周期指令，即执行时间为 1 个指令周期（CPU 时钟周期）；所有指令均为单字指令，即指令码仅占用 1 个程序存储器地址空间。

指令汇总表

助记符	说明	操作	周期	长度	标志
ADDAR R	R 和 A 相加，结果存入 A	$R+A \rightarrow A$	1	1	C, DC, Z
ADDRA R	R 和 A 相加，结果存入 R	$R+A \rightarrow R$	1	1	C, DC, Z
ADCAR R	R 和 A 相加（带 C 标志），结果存入 A	$R+A+C \rightarrow A$	1	1	C, DC, Z
ADCRA R	R 和 A 相加（带 C 标志），结果存入 R	$R+A+C \rightarrow R$	1	1	C, DC, Z
RSUBAR R	R 和 A 相减，结果存入 A	$R-A \rightarrow A$	1	1	C, DC, Z
RSUBRA R	R 和 A 相减，结果存入 R	$R-A \rightarrow R$	1	1	C, DC, Z
RSBCAR R	R 和 A 相减（带 C 标志），结果存入 A	$R-A-/C \rightarrow A$	1	1	C, DC, Z
RSBCRA R	R 和 A 相减（带 C 标志），结果存入 R	$R-A-/C \rightarrow R$	1	1	C, DC, Z
ANDAR R	R 和 A 与操作，结果存入 A	$R \text{ and } A \rightarrow A$	1	1	Z
ANDRA R	R 和 A 与操作，结果存入 R	$R \text{ and } A \rightarrow R$	1	1	Z
ORAR R	R 和 A 或操作，结果存入 A	$R \text{ or } A \rightarrow A$	1	1	Z
ORRA R	R 和 A 或操作，结果存入 R	$R \text{ or } A \rightarrow R$	1	1	Z
XORAR R	R 和 A 异或操作，结果存入 A	$R \text{ xor } A \rightarrow A$	1	1	Z
XORRA R	R 和 A 异或操作，结果存入 R	$R \text{ xor } A \rightarrow R$	1	1	Z
COMAR R	对 R 取反，结果存入 A	$R \text{ 取反} \rightarrow A$	1	1	Z
COMR R	对 R 取反，结果存入 R	$R \text{ 取反} \rightarrow R$	1	1	Z
RLAR R	R 循环左移（带 C 标志），结果存入 A	$R[7] \rightarrow C; R[6:0] \rightarrow A[7:1]; C \rightarrow A[0]$	1	1	C
RLR R	R 循环左移（带 C 标志），结果存入 R	$R[7] \rightarrow C; R[6:0] \rightarrow R[7:1]; C \rightarrow R[0]$	1	1	C
RRAR R	R 循环右移（带 C 标志），结果存入 A	$R[0] \rightarrow C; R[7:1] \rightarrow A[6:0]; C \rightarrow A[7]$	1	1	C
RRR R	R 循环右移（带 C 标志），结果存入 R	$R[0] \rightarrow C; R[7:1] \rightarrow R[6:0]; C \rightarrow R[7]$	1	1	C
SWAPAR R	交换 R 的高低半字节，结果存入 A	$R[7:4] \rightarrow A[3:0]; R[3:0] \rightarrow A[7:4]$	1	1	-
SWAPR R	交换 R 的高低半字节，结果存入 R	$R[7:4] \rightarrow R[3:0]; R[3:0] \rightarrow R[7:4]$	1	1	-
MOVRA R	将 A 存入 R	$A \rightarrow R$	1	1	-
MOVAR R	将 R 存入 A	$R \rightarrow A$	1	1	Z
MOVR R	将 R 存入 R	$R \rightarrow R$	1	1	Z
CLRA	将 A 清零	$0 \rightarrow A$	1	1	Z
CLRR R	将 R 清零	$0 \rightarrow R$	1	1	Z
INCR R	R 自加 1	$R+1 \rightarrow R$	1	1	Z
INCAR R	R 加 1，结果存入 A	$R+1 \rightarrow A$	1	1	Z



DECR	R	R 自减 1	$R-1 \rightarrow R$	1	1	Z
DECAR	R	R 减 1, 结果存入 A	$R-1 \rightarrow A$	1	1	Z
JZR	R	R 自加 1: 结果为 0 则跳过下一条指令	$R+1 \rightarrow R$ ; 结果为 0 则 $PC+2 \rightarrow PC$	1/2	1	-
JZAR	R	R 加 1, 结果存入 A: 结果为 0 则跳过下一条指令	$R+1 \rightarrow A$ ; 结果为 0 则 $PC+2 \rightarrow PC$	1/2	1	-
DJZR	R	R 自减 1: 结果为 0 则跳过下一条指令	$R-1 \rightarrow R$ ; 结果为 0 则 $PC+2 \rightarrow PC$	1/2	1	-
DJZAR	R	R 减 1, 结果存入 A: 结果为 0 则跳过下一条指令	$R-1 \rightarrow A$ ; 结果为 0 则 $PC+2 \rightarrow PC$	1/2	1	-
BCLR	R, b	将 R 的第 b 位清 0	$0 \rightarrow R[b]$	1	1	-
BSET	R, b	将 R 的第 b 位置 1	$1 \rightarrow R[b]$	1	1	-
JBCLR	R, b	若 R 的第 b 位为 0, 则跳过下一条指令	若 $R[b]=0$ , 则 $PC+2 \rightarrow PC$	1/2	1	-
JBSET	R, b	若 R 的第 b 位为 1, 则跳过下一条指令	若 $R[b]=1$ , 则 $PC+2 \rightarrow PC$	1/2	1	-
ADDAI	I	I 和 A 相加, 结果存入 A	$I+A \rightarrow A$	1	1	C, DC, Z
ISUBAI	I	I 和 A 相减, 结果存入 A	$I-A \rightarrow A$	1	1	C, DC, Z
ANDAI	I	I 和 A 与操作, 结果存入 A	$I \text{ and } A \rightarrow A$	1	1	Z
ORAI	I	I 和 A 或操作, 结果存入 A	$I \text{ or } A \rightarrow A$	1	1	Z
XORAI	I	I 和 A 异或操作, 结果存入 A	$I \text{ xor } A \rightarrow A$	1	1	Z
MOVAI	I	将 I 存入 A	$I \rightarrow A$	1	1	-
CALL	K	子程序调用	$PC+1 \rightarrow TOS$ ; $K \rightarrow PC[10:0]$	2	1	-
GOTO	K	无条件跳转	$K \rightarrow PC[10:0]$	2	1	-
RETURN		从子程序返回	$TOS \rightarrow PC$	2	1	-
RETAI	I	从子程序返回, 并将 I 存入 A	$TOS \rightarrow PC$ ; $I \rightarrow A$	2	1	-
RETIE		从中断返回	$TOS \rightarrow PC$ ; $1 \rightarrow GIE$	2	1	-
NOP		空操作	空操作	1	1	-
DAA		BCD 码加法操作后, 将 A 的值调整为 BCD 码	$A(\text{HEX 码}) \rightarrow A(\text{BCD 码})$	1	1	C
DSA		BCD 码减法操作后, 将 A 的值调整为 BCD 码	$A(\text{HEX 码}) \rightarrow A(\text{BCD 码})$	1	1	-
CLRWDT		将看门狗计数器清零	$0 \rightarrow WDCNT$	1	1	TO, PD
STOP		进入低功耗模式	$0 \rightarrow WDCNT$ ; CPU 暂停	1	1	TO, PD

注:

- 1、A-算术逻辑单元累加器 ALU, R-数据存储器, I-立即数, K-程序存储器地址, TOS-堆栈栈顶;
- 2、对于条件跳转类指令, 若跳转条件成立, 则执行时间需 2 个指令周期, 否则仅需 1 个指令周期;

### 3.2 程序存储器

芯片的程序存储器为 OTP 型存储器, 可通过配置字 ROMPAGE 选择存储器的地址空间范围。

2K×14 位的地址空间范围为 0000H~07FFH, 仅能烧录 1 次, 地址分配如下图所示:



复位起始地址 (0000H)
通用程序区 (0001H - 0007H)
中断入口地址 (0008H)
通用程序区 (0009H - 07FFH)

1K×14 位的地址空间范围为 0000H~03FFH，可以烧录 2 次，地址分配如下图所示：

复位起始地址 (0000H)
通用程序区 (0001H - 0007H)
中断入口地址 (0008H)
通用程序区 (0009H - 03FFH)

### 3.3 数据存储器

芯片的数据存储器包括通用数据存储器 GPR (96 字节) 和特殊功能寄存器 SFR，部分地址映射了 2 组 SFR，需通过寄存器位 RBS 选择，地址映射如下表所示。GPR 和 SFR 均可直接寻址或通过 INDF 间接寻址。

数据存储器区地址映射表

地址	RBS	类型	0/8	1/9	2/A	3/B	4/C	5/D	6/E	7/F
00H-5FH	0/1	GPR	通用数据存储器区							
60H-67H	0/1	SFR	INDF	TOCNT	PCL	STATUS	FSR	P0	P1	P2
68H-6FH	0/1		MCR	TOCR	TMRCR	PCLATH	INTE1	INTF1	INTE0	INTF0
70H-77H	0		CMPCRO	CMPCR1	PUCON1	PDCONL	ODCON	DDR0	DDR1	DDR2
	1		PUCON0	PDCONH		PMOD	POADCR			
78H-7FH	0		T1DATA	T1DATB	T1DATC	PWM1CR	T2DATAH	T2DATAL	T2DATBH	T2DATBL
	1		T1CR	T1CNT	T1LOAD	T2CR	T2LOADH	T2LOADL	POKBKR	P1KBKR

注：上表中灰色部分的存储器地址为系统保留区，禁止对其中未定义的地址进行读写操作。



## 数据存储器寻址方式地址组成

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	寻址方式
/	/	/	/	/	/	/	/	RBS	取自指令的 7 位地址							直接寻址方式
/	/	/	/	/	/	/	/	RBS	FSR							间接寻址方式

注：无论采用哪种寻址方式访问 70H-7FH 地址的 SFR，均需保证 RBS 位选择正确。

直接寻址方式，是以指令的低 7 位为数据存储器地址，通过指令访问，寻址范围 0~7FH。例如，采用直接寻址方式将数据 55H 写入数据存储器 10H 地址中：

```
MOVAI    55H
MOVRA    10H          ; 将 55H 写入数据存储器 10H 地址中
```

间接寻址方式，是以 FSR 为数据存储器地址指针，通过 INDF 访问，寻址范围 0~7FH。例如，采用间接寻址方式将数据 55H 写入数据存储器 10H 地址中：

```
MOVAI    10H
MOVRA    FSR
MOVAI    55H
MOVRA    INDF        ; 将 55H 写入 FSR 所指地址的数据存储器中
```

### 3.4 堆栈

芯片的堆栈为 5 级深度的硬件堆栈。当 CPU 响应中断或执行子程序调用指令时，会自动将下一条指令的 PC 值压栈保存；当 CPU 执行中断返回或子程序返回指令时，会自动将栈顶内容出栈载入 PC。

### 3.5 控制寄存器

## 数据指针寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
FSR	-	FSR6	FSR5	FSR4	FSR3	FSR2	FSR1	FSR0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	1	1	1	1	1	1	1	1

BIT[6:0] **FSR[6:0]** – 数据指针寄存器

**FSR**：间接寻址方式的指针。

汇编模式、C 编译模式：**FSR** 用于间接寻址时仅低 7 位有效，读 **FSR** 时高 1 位固定为 1；

兼容模式：**FSR** 用于间接寻址时仅低 6 位有效，读 **FSR** 时高 2 位固定为 1。



## 间接寻址寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
INDF	INDF7	INDF6	INDF5	INDF4	INDF3	INDF2	INDF1	INDF0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	X	X	X	X	X	X	X	X

BIT[7:0] **INDF[7:0]** – 间接寻址寄存器

INDF: INDF 不是物理寄存器, 对 INDF 操作实际是对 FSR 所指向地址的数据存储器进行操作, 从而实现间接寻址功能。

## 程序指针计数器低字节

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
PCL	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7:0] **PC[7:0]** – 程序指针计数器低 8 位

## 程序指针计数器高位缓存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
PCLATH	-	-	-	-	-	PCH2	PCH1	PCH0
R/W	-	-	-	-	-	R/W	R/W	R/W
初始值	-	-	-	-	-	0	0	0

BIT[2:0] **PCH[2:0]** – 程序指针计数器高 3 位缓存器 (仅 C 编译模式下有效)

程序指针计数器 (PC) 有以下几种操作模式:

- ◇ 顺序运行指令:  $PC = PC + 1$ ;
- ◇ 程序跳转指令 GOTO/CALL:  $PC =$  指令码低 11 位;
- ◇ 返回指令 RETIE/RETURN/RETAI:  $PC =$  堆栈栈顶 (TOS);

对 PCL 操作指令 (汇编模式、兼容模式):

- ◇ 对 PCL 操作的加法指令:  $PC = (PC[10:0] + ALU[7:0])$ ;
- ◇ 对 PCL 操作的其他指令:  $PC = (PC[10:8]:ALU[7:0](ALU \text{ 运算结果}))$ ;

对 PCL 操作指令 (C 编译模式):

- ◇ 对 PCL 操作的所有指令:  $PC = (PCLATH[2:0]:ALU[7:0](ALU \text{ 运算结果}))$ ;

## CPU 状态寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
STATUS	WKUP	-	RBS	TO	PD	Z	DC	C
R/W	R/W	-	R/W	R	R	R/W	R/W	R/W
初始值	0	-	0	1	1	X	X	X





- BIT[7] WKUP** – 唤醒中断源标志位  
 0: 芯片被其他中断唤醒;  
 1: 芯片被外部中断或键盘中断唤醒;
- BIT[5] RBS** – 数据寄存器地址映射选择位 (兼容模式下固定为 0)  
 0: 地址 70H~7FH 映射至第 0 组寄存器;  
 1: 地址 70H~7FH 映射至第 1 组寄存器;
- BIT[4] TO** – 看门狗溢出标志位  
 0: 发生 WDT 溢出;  
 1: 上电复位, 或执行 CLRWDT/STOP 指令;
- BIT[3] PD** – 进入低功耗模式标志位  
 0: 执行 STOP 指令;  
 1: 上电复位, 或执行 CLRWDT 指令;
- BIT[2] Z** – 零标志位  
 0: 算术或逻辑运算的结果不为零;  
 1: 算术或逻辑运算的结果为零;
- BIT[1] DC** – 半字节进位/借位标志位  
 0: 加法运算中半字节无进位; 减法运算中半字节有借位;  
 1: 加法运算中半字节有进位; 减法运算中半字节无借位;
- BIT[0] C** – 进位/借位标志位  
 0: 加法运算中无进位; 减法运算中有借位; 移位操作中移出位为 0;  
 1: 加法运算中有进位; 减法运算中无借位; 移位操作中移出位为 1;

**杂项控制寄存器**

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
<b>MCR</b>	WDTEN	EIS	-	-	-	-	-	-
<b>R/W</b>	R/W	R/W	-	-	-	-	-	-
<b>初始值</b>	1	0	-	-	-	-	-	-

- BIT[7] WDTEN** – 看门狗使能位  
 0: 关闭 WDT;  
 1: 开启 WDT;
- BIT[6] EIS** – INTO 端口外部中断功能使能位  
 0: 关闭端口的外部中断功能;  
 1: 使能端口的外部中断功能;



### 3.6 用户配置字

芯片为保证系统正常工作，会将关键模块的配置信息预先存储于单独的存储器区域内，在上电或其他复位发生后将配置信息载入寄存器中，通过寄存器控制关键模块的工作状态。该部分存储器中用户可选的内容即为用户配置字，可在烧录用户程序代码时进行配置与烧录。

芯片的用户配置字，定义如下：

符号	功能说明
ROMPAGE	ROM 烧录模式设置： 1K 容量 MTP 模式，第 1 次烧录； 1K 容量 MTP 模式，第 2 次烧录； 2K 容量 OTP 模式；
OSCM	时钟振荡模式设置： 单时钟模式：内部高频 RC 振荡器 HIRC； 单时钟模式：内部低频 RC 振荡器 LIRC； 单时钟模式：外部 16M 晶体振荡器；（支持外部 10MHz-16MHz 晶振） 单时钟模式：外部 8M 晶体振荡器；（支持外部 6MHz-10MHz 晶振） 单时钟模式：外部 4M 晶体振荡器；（支持外部 4MHz-6MHz 晶振） 单时钟模式：外部 455K 晶体振荡器；（支持外部 455KHz 晶振） 单时钟模式：外部 32K 晶体振荡器；（支持外部 32768Hz 晶振） 单时钟模式：外部 RC 振荡器 ERC；（支持外部 0-4MHz RC 振荡器） 双时钟模式：内部 HIRC + 内部 LIRC； 双时钟模式：内部 HIRC + 外部 32K 晶体振荡器；
HIRCDS	HIRC 后分频输出选择： $F_{OSC}=F_{HIRC}/1; F_{HIRC}/2; F_{HIRC}/4; F_{HIRC}/8; F_{HIRC}/16; F_{HIRC}/32;$
FCPUS	CPU 时钟 $F_{CPU}$ 频率选择： $F_{CPU}=F_{OSC}/2;$ <span style="margin-left: 150px;"><math>F_{CPU}=F_{OSC}/4;</math></span>
RSTEN	RST 外部复位端口设置： P05 为外部复位脚； <span style="margin-left: 150px;">P05 为输入/输出脚；</span>
LVRVS	LVR 复位电压选择：（LVR 电压应满足由 $F_{CPU}$ 决定的工作电压特性） 1.8V；2.0V；2.4V；2.7V；3.0V；
WDTM	WDT 模式设置： WDT 始终关闭； <span style="margin-left: 150px;">WDT 始终开启；</span>
WDTT	上电延时及 WDT 溢出时间（无预分频）选择：（时间均为典型值） 上电延时=2.2ms，WDT 溢出时间=4.5ms； 上电延时=9ms，WDT 溢出时间=18ms； 上电延时=36ms，WDT 溢出时间=72ms； 上电延时=144ms，WDT 溢出时间=288ms；
SMTVS	端口施密特阈值选择： 2.0V/0.8V； <span style="margin-left: 150px;">0.8VDD/0.2VDD；</span>
CPRSPT	比较器响应时间设置： 快速响应； <span style="margin-left: 150px;">慢速响应；</span>





## 4 时钟

芯片系统仅在系统主时钟 Fosc 下工作，部分外设模块在双时钟模式下可在系统主时钟 Fosc 或外设低频时钟 FLCLK 下工作。

系统主时钟 Fosc 可通过配置字 OSCM 和 HIRCDS 选择以下时钟：

- ◇ 内部高频 RC 振荡器 HIRC (16MHz) 时钟 FHIRC 的 1/2/4/8/16/32 分频时钟；
- ◇ 内部低频 RC 振荡器 LIRC (32KHz) 时钟 FLIRC；
- ◇ 外部高频晶体振荡器 HEXT (455KHz/4MHz~16MHz) 时钟 FHEXT；
- ◇ 外部低频晶体振荡器 LEXT (32768Hz) 时钟 FLEXT；
- ◇ 外部 RC 振荡器 ERC (0~4MHz) 时钟 FERC；

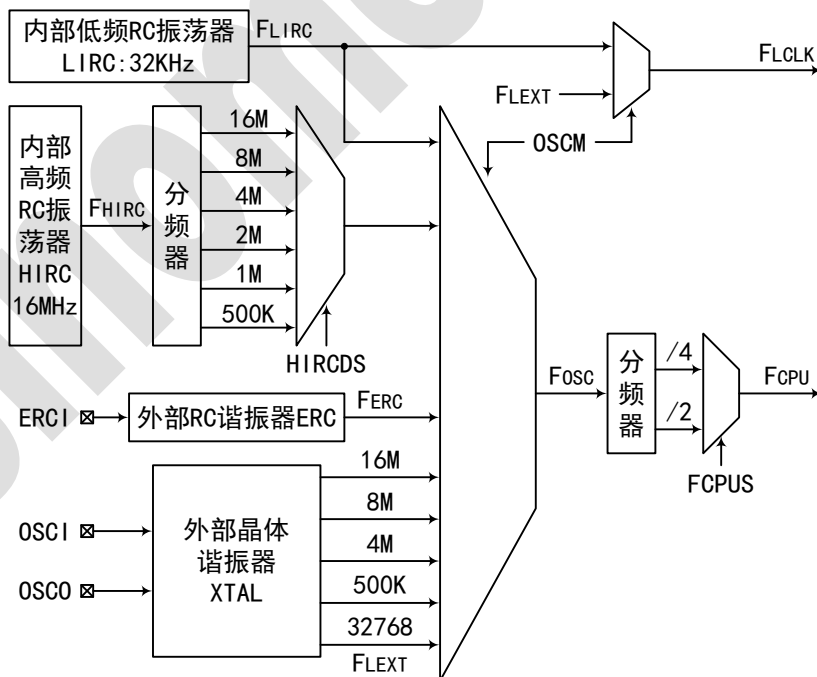
外设低频时钟 FLCLK 可通过配置字 OSCM 在配置为双时钟模式时选择以下时钟：

- ◇ 内部低频 RC 振荡器 LIRC (32KHz) 时钟 FLIRC；
- ◇ 外部低频晶体振荡器 LEXT (32768Hz) 时钟 FLEXT (仅在 Fosc 为 FHIRC 分频时钟时可选)；

CPU 的时钟源固定为系统主时钟 Fosc，CPU 的时钟频率 Fcpu 通过配置字 FCPUS 选择。

WDT (看门狗) 电路的时钟源固定为内部低频 RC 振荡器 LIRC。

系统时钟示意图





## 4.1 内部高频 RC 振荡器

芯片内置 1 个振荡频率为 16MHz 的高精度 HIRC 振荡器，其分频时钟（16MHz/8MHz/4MHz/2MHz/1MHz/500KHz）可用作系统主时钟源。

## 4.2 内部低频 RC 振荡器

芯片内置 1 个振荡频率典型值为 32KHz 的 LIRC 振荡器，可用作系统主时钟源或外设低频时钟源，也用于系统上电延时控制、看门狗定时器（WDT）等电路。

*注：系统时钟配置为 HIRC+LIRC 双时钟、或系统时钟配置为 LIRC 单时钟后系统处于运行模式、或 WDT 开启，此时 LIRC 才振荡工作。*

## 4.3 外部晶体振荡器

芯片支持外接高频 455KHz/4MHz~16MHz、或低频 32768Hz 的晶体振荡器作为系统主时钟源。还可在系统时钟配置为双时钟模式时，选择外接 32768Hz 晶体振荡器作为外设低频时钟源。

外接晶振的实际应用中，晶振两端的对地电容 CG/CD 是必需的（芯片已在端口内置典型值为 10pF 的对地电容）。用户应使晶振离 OSCI/OSCO 引脚的距离尽可能短，这样有助于振荡器的起振和振荡稳定性。下表是典型频率晶振选用电容 CG/CD 的推荐值和相应最低起振电压参考值：

晶振频率 (Hz)	电容 CG/CD (pF)	最低起振电压 (V)
16M	0/10	3.0
8M	10/20	2.4
4M	10/20	2.0
455K	100/220	2.0
32768	0/10	1.8

*注：因晶振品牌繁多且工艺差异较大，故上表中的参数仅供参考，具体应用请以晶振的实测结果为准。*

## 4.4 外部 RC 振荡器

芯片支持外接 RC 振荡器作为系统主时钟源。外部 RC 振荡电路需与 ERCI 引脚连接，电容值不能低于 100pF，电阻值和电容值共同决定 RC 的振荡频率，最高支持 4MHz。



## 4.5 系统工作模式

芯片支持运行模式和休眠模式 2 种系统工作模式。

工作模式	模式切换条件	系统工作状态
运行模式	系统复位	主时钟源工作，CPU 在主时钟或其分频时钟下运行
	休眠模式下，CPU 唤醒	
休眠模式	运行模式下，执行 STOP 指令	主时钟源停止，CPU 暂停

注：系统低频时钟源不受工作模式影响，若系统时钟配置为双时钟模式则选定的低频时钟源将一直工作。

## 4.6 低功耗模式

芯片的休眠模式即为低功耗模式。

执行 STOP 指令可使系统进入低功耗模式，同时对系统会产生以下影响：

- ◇ CPU 停止运行；
- ◇ 根据不同模式停止相应时钟源的振荡；
- ◇ RAM 内容保持不变；
- ◇ 所有的输入/输出端口保持原有状态；
- ◇ 定时器若其时钟源未停止，则可继续工作；

以下情况可使系统退出低功耗模式：

- ◇ 芯片复位；
- ◇ WDT 溢出（若低功耗模式下 WDT 及其时钟源保持继续工作）；
- ◇ 外部中断请求发生（若有外部中断功能并有效）；
- ◇ 定时器中断请求发生（若低功耗模式下定时器及其时钟源保持继续工作）；
- ◇ 键盘中断请求发生（若有键盘中断功能并有效）；
- ◇ 比较器 CMP 中断请求发生（若低功耗模式下比较器保持继续工作）；

注：

- 1、低功耗模式下触发中断请求时，若对应的中断使能位关闭，则不会退出低功耗模式；若对应的中断使能位开启而中断总使能位关闭，则仅唤醒 CPU 执行下一条指令；若对应的中断使能位和中断总使能位均开启，则唤醒 CPU 后将执行中断服务程序；
- 2、未使用或未封出的引脚，应将其对应的 I/O 端口设置为输出、输入上拉或输入下拉等稳定状态，以免因引脚浮空而产生漏电流或非预期的中断唤醒；



## 5 复位

### 5.1 复位条件

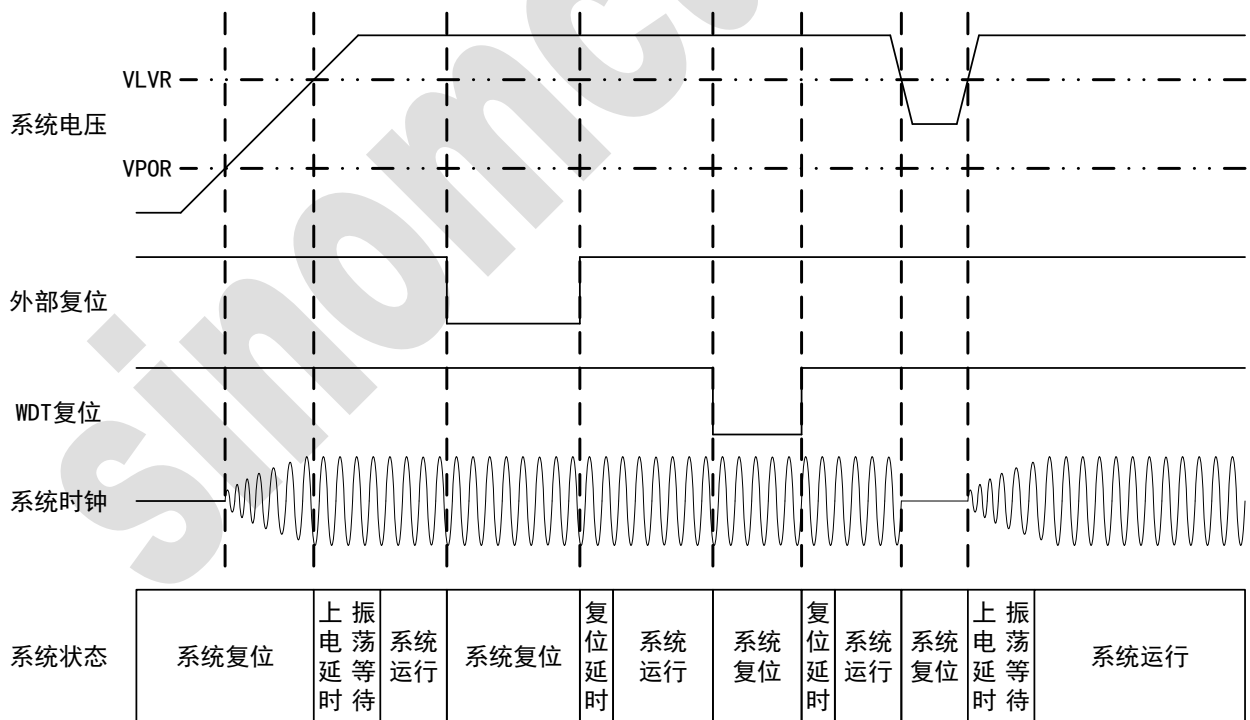
芯片共有如下几种复位方式：

- ◇ 上电复位 POR；
- ◇ 低电压复位 LVR；
- ◇ 外部复位；
- ◇ WDT 看门狗复位；

任何一种复位发生后，系统进入复位状态，执行初始化操作并重置 SFR 为复位初始值；复位条件解除后，系统退出复位状态，CPU 重新从程序存储器 0000H 地址处开始运行。

上电复位 POR 和低电压复位 LVR 会关闭系统主时钟振荡器，复位解除后才重新开启振荡器，因为振荡器起振和稳定需要一定的时间，所以系统将保持一定时间的上电延时以待振荡器稳定振荡后才开始工作；而外部复位、WDT 复位则不会关闭主时钟振荡器，复位解除后系统将在较短的复位延时后即开始工作。

下图是复位产生和系统工作状态之间的时序关系示意图：



注：若应用系统在上电或掉电回升时芯片的 VDD 电压上升较慢，则应通过配置字选择较长的上电延时时间，或在复位后 CPU 开始工作时先进行软件延时，以确保芯片开始工作时 VDD 电压已稳定在 F<sub>cpu</sub> 对应的工作电压范围内。



## 5.2 上电复位

芯片的上电复位电路可以适应系统快速上电或慢速上电等情况，即使上电过程中发生电源电压抖动的情况也能保证系统可靠的复位。

上电复位过程主要包括以下几个步骤：

- (1) 检测系统电源电压，等待电压高于上电复位电压  $V_{POR}$  并保持稳定；
- (2) 若 LVR 功能开启，则需等待电压高于低电压复位电压  $V_{LVR}$  并保持稳定；
- (3) 若有外部复位功能并已开启，则需等待外部复位引脚电压高于  $V_{ih}$ ；
- (4) 初始化所有初始值确定的寄存器；
- (5) 开启主时钟振荡器，并等待一段时间以待振荡器稳定；
- (6) 上电复位结束，CPU 开始执行指令；

## 5.3 外部复位

芯片的外部复位功能可通过配置字 **RSTEN** 开启，引脚设为外部复位脚即为开启外部复位功能，端口内部上拉电阻将自动使能。外部复位输入端口 **RST** 为施密特结构，低电平有效，即当端口输入为高电平时系统正常运行，输入为低电平时系统复位。

## 5.4 低电压复位

芯片的低电压复位电压  $V_{LVR}$  可通过配置字 **LVRVS** 选择。LVR 检测电路具有一定的回滞特性，回滞电压约为 6%（典型值），当电源电压下降至  $V_{LVR}$  时发生 LVR 复位，反之电源电压需上升至  $V_{LVR}+6\%$  后 LVR 复位才解除。

LVR 在运行模式下自动开启，在低功耗模式下自动关闭。

## 5.5 看门狗复位

芯片的看门狗定时器（WDT）复位是一种对系统运行程序的保护机制。正常情况下，用户程序需定时对 WDT 执行清零操作，以避免 WDT 溢出。若发生异常情况，程序未及时清零 WDT，则芯片将因 WDT 溢出而产生看门狗复位，系统初始化后重新运行程序，从而返回受控状态。

*注：低功耗模式下 CPU 暂停工作，若此时发生 WDT 溢出，则仅唤醒 CPU 而不复位芯片。*





## 6 I/O 端口

### 6.1 通用 I/O 功能

芯片的输入/输出端口包括两组 8 位端口 P0、P1，和一组 2 位端口 P2。所有端口均支持施密特输入，除 P05 外均支持推挽输出。

除用作通用数字 I/O 端口外，部分端口还可复用为外部中断输入、PWM 输出、或 CMP 模拟输入等功能。

#### 端口数据寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
P0	P07D	P06D	P05D	P04D	P03D	P02D	P01D	P00D
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	X	X	X	X	X	X	X	X

BIT[7:0] **P0nD** – P0n 端口数据位 (n=7-0)

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
P1	P17D	P16D	P15D	P14D	P13D	P12D	P11D	P10D
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	X	X	X	X	X	X	X	X

BIT[7:0] **P1nD** – P1n 端口数据位 (n=7-0)

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
P2	-	-	-	-	-	-	P21D	P20D
R/W	-	-	-	-	-	-	R/W	R/W
初始值	-	-	-	-	-	-	X	X

BIT[1:0] **P2nD** – P2n 端口数据位 (n=1-0)

#### 端口方向寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
DDRO	DDR07	DDR06	DDR05	DDR04	DDR03	DDR02	DDR01	DDR00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	1	1	1	1	1	1	1	1

BIT[7:0] **DDR0n** – P0n 端口方向控制位 (n=7-0)

- 0: 端口作为输出口，读端口操作将读取端口的数据位值；
- 1: 端口作为输入口，读端口操作将读取端口的电平状态；

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
DDR1	DDR17	DDR16	DDR15	DDR14	DDR13	DDR12	DDR11	DDR10



R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	1	1	1	1	1	1	1	1

BIT[7:0] **DDR1n – P1n** 端口方向控制位 (n=7-0)

- 0: 端口作为输出口, 读端口操作将读取端口的数据位值;  
1: 端口作为输入口, 读端口操作将读取端口的电平状态;

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
DDR2	-	-	-	-	-	-	DDR21	DDR20
R/W	-	-	-	-	-	-	R/W	R/W
初始值	-	-	-	-	-	-	1	1

BIT[1:0] **DDR2n – P2n** 端口方向控制位 (n=1-0)

- 0: 端口作为输出口, 读端口操作将读取端口的数据位值;  
1: 端口作为输入口, 读端口操作将读取端口的电平状态;

## 6.2 内部上/下拉电阻

所有端口均具有内部上拉和下拉电阻, 且均可单独控制其上/下拉电阻在端口处于输入状态时是否有效。端口处于输出状态时, 上/下拉电阻及其控制位无效。

### 上拉电阻控制寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
PUCON0	P07PU	P06PU	P05PU	P04PU	P03PU	P02PU	P01PU	P00PU
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	1	1	1	1	1	1	1	1

BIT[7:0] **P0nPU – P0n** 端口上拉电阻控制位 (n=7-0)

- 0: 端口内部上拉电阻有效;  
1: 端口内部上拉电阻无效;

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
PUCON1	P17PU	P16PU	P15PU	P14PU	P13PU	P12PU	P11PU	P10PU
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	1	1	1	1	1	1	1	1

BIT[7:0] **P1nPU – P1n** 端口上拉电阻控制位 (n=7-0)

- 0: 端口内部上拉电阻有效;  
1: 端口内部上拉电阻无效;



## 下拉电阻控制寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
PDCONL	P13PD	P12PD	P11PD	P10PD	P03PD	P02PD	P01PD	P00PD
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	1	1	1	1	1	1	1	1

BIT[7:4] **P1nPD** – P1n 端口下拉电阻控制位 (n=3-0)

- 0: 端口内部下拉电阻有效;
- 1: 端口内部下拉电阻无效;

BIT[3:0] **P0nPD** – P0n 端口下拉电阻控制位 (n=3-0)

- 0: 端口内部下拉电阻有效;
- 1: 端口内部下拉电阻无效;

注: 兼容模式下 P03 下拉电阻及控制位无效。

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
PDCONH	P17PD	P16PD	P15PD	P14PD	P07PD	P06PD	P05PD	P04PD
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	1	1	1	1	1	1	1	1

BIT[7:4] **P1nPD** – P1n 端口下拉电阻控制位 (n=7-4)

- 0: 端口内部下拉电阻有效;
- 1: 端口内部下拉电阻无效;

BIT[3:0] **P0nPD** – P0n 端口下拉电阻控制位 (n=7-4)

- 0: 端口内部下拉电阻有效;
- 1: 端口内部下拉电阻无效;

## 端口模式寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
PMOD	POHST	P2ST			P21PU	P20PU	P21PD	P20PD
R/W	R/W	R/W			R/W	R/W	R/W	R/W
初始值	0	0			1	1	1	1

BIT[7] **P0HST** – P04~P07 端口状态选择位

BIT[6] **P2ST** – P20/P21 端口状态选择位

BIT[3:2] **P2nPU** – P2n 端口上拉电阻控制位 (n=1-0)

- 0: 端口内部上拉电阻有效;
- 1: 端口内部上拉电阻无效;

BIT[1:0] **P2nPD** – P2n 端口下拉电阻控制位 (n=1-0)

- 0: 端口内部下拉电阻有效;
- 1: 端口内部下拉电阻无效;



### 6.3 端口模式控制

用作数字输出口时，P1 可选择推挽输出或开漏输出。

#### 端口输出模式寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
ODCON	P170D	P160D	P150D	P140D	P130D	P120D	P110D	P100D
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7:0] **P1nOD** – P1n 端口开漏输出控制位 (n=7-0)

- 0: 端口输出时为推挽输出;
- 1: 端口输出时为开漏输出;

*注：开漏输出口输出高电平时，若端口电压低于 VDD 电压则会产生漏电流。*

用作数字口时，P04~P07/P20/P21 可选择输入/输出态或高阻态（复位初值），高阻态时端口内部上/下拉电阻及其控制位无效。

#### 端口模式寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
PMOD	POHST	P2ST			P21PU	P20PU	P21PD	P20PD
R/W	R/W	R/W			R/W	R/W	R/W	R/W
初始值	0	0			1	1	1	1

BIT[7] **POHST** – P04~P07 端口状态选择位

- 0: 端口为高阻态;
- 1: 端口为输入/输出态;

BIT[6] **P2ST** – P20/P21 端口状态选择位

- 0: 端口为高阻态;
- 1: 端口为输入/输出态;

BIT[3:2] **P2nPU** – P2n 端口上拉电阻控制位 (n=1-0)

BIT[1:0] **P2nPD** – P2n 端口下拉电阻控制位 (n=1-0)

部分端口除可作为数字端口外，还可复用为模拟端口。端口输入或输出模拟信号时，若数字 I/O 功能同时开启，则会产生漏电流，可通过端口数模控制寄存器关闭端口的数字 I/O 功能（内部上/下拉电阻及其控制位不受影响）。



## 端口数模控制寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
POADCR	-	-	P05DC	P04DC	P03DC	P02DC	-	-
R/W	-	-	R/W	R/W	R/W	R/W	-	-
初始值	-	-	0	0	0	0	-	-

BIT[5:2] **P0nDC** – P0n 端口数字功能控制位 (n=5-2)

- 0: 使能端口的数字 I/O 功能;
- 1: 关闭端口的数字 I/O 功能;



## 7 定时器 TIMER

### 7.1 看门狗定时器 WDT

看门狗定时器 WDT 的时钟源为内部低频 RC 振荡器 LIRC，可通过预分频器选择不同的 WDT 计数时钟频率。WDT 溢出将复位芯片或唤醒 CPU。

可通过配置字 WDTM 和寄存器位 WDTEN 共同决定是否开启 WDT：WDTM 选择始终关闭、或 WDTEN 为 0，则 WDT 关闭；而当 WDTM 选择始终开启且 WDTEN 为 1 时，WDT 才开启。若 WDT 开启，则在休眠模式下 WDT 依然工作且溢出将唤醒 CPU，而在 CPU 运行时 WDT 溢出将复位芯片。

WDT 和定时器 T0 共用一个预分频器，并通过寄存器位决定预分频器的分配。当预分频器分配给 T0 时，WDT 时钟不分频；而预分频器分配给 WDT 时，T0 时钟不分频。

执行 CLRWDT 指令或 STOP 指令将清零 WDT 计数器，若预分频器分配给 WDT，则还将清零预分频计数器（预分频比不变）。

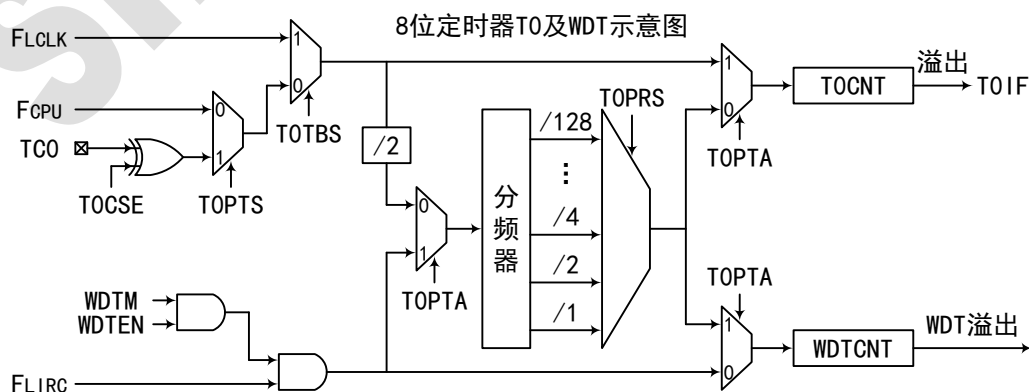
WDT 的基础溢出时间（即无预分频的时间）可配置为 4.5ms/18ms/72ms/288ms。

*注：WDT 溢出时间为典型值，而实际值偏差较大，必须保证清 WDT 的间隔时间小于 WDT 溢出时间的 1/4。*

### 7.2 定时器 T0

定时器 T0 为 8 位定时/计数器，包含 1 个 8 位递增计数器、可编程预分频器、控制寄存器。

- ◇ 可通过预分频器设置时钟频率；
- ◇ 时钟源可选 F<sub>CPU</sub>、F<sub>LCLK</sub>、或外部时钟（TC0 输入）；
- ◇ 支持溢出中断和溢出唤醒功能；





TOCNT 为 8 位可读写的递增计数器，计数溢出到 0 时产生溢出信号并触发中断，中断标志 TOIF 将被置 1。

预分频器为 T0 与 WDT 共用，通过寄存器位 TOPTA 控制预分频器的分配。

TOPTA=0 时，预分频器分配给 T0 使用，T0 周期（溢出时间）= 预分频比 / T0 计数时钟频率，写 TOCNT 将清零预分频计数器，而执行 CLRWDT 或 STOP 指令则不影响预分频器的计数。

TOPTA=1 时，预分频器分配给 WDT 使用，执行 CLRWDT 或 STOP 指令将清零预分频计数器，而写 TOCNT 则同样不影响预分频器的计数。

通过 TOPTA 改变预分频器的分配时，也将清零预分频计数器。

清零预分频计数器的操作不会改变预分频比，而改变预分频比也不会清零预分频计数器。

当通过配置字 OSCM 配置为双时钟模式时，可通过 TOTBS 选择 FLCLK 作为 T0 时钟，在低功耗模式下 T0 将继续工作，溢出可唤醒。

#### 定时器 T0 控制寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
TOCR	-	TOTBS	TOPTS	TOCSE	TOPTA	TOPRS2	TOPRS1	TOPRS0
R/W	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	-	0	1	1	1	1	1	1

BIT[6] **TOTBS** – T0 时钟源选择位  
 0: T0 时钟源由 TOPTS 决定;  
 1: T0 时钟源为外设低频时钟 FLCLK（兼容模式下无效);

BIT[5] **TOPTS** – T0 时钟源选择位  
 0: T0 时钟源为 F<sub>CPU</sub>;  
 1: T0 时钟源为 TC0 输入的外部时钟（兼容模式下无效);

BIT[4] **TOCSE** – T0 外部时钟计数沿选择位  
 0: T0 在外部时钟上升沿计数;  
 1: T0 在外部时钟下降沿计数;

BIT[3] **TOPTA** – 预分频器分配控制位  
 0: 预分频器分配给 T0;  
 1: 预分频器分配给 WDT;

BIT[2:0] **TOPRS[2:0]** – T0 时钟预分频比选择位

TOPRS[2:0]	T0 时钟预分频比 (TOPTA=0)	WDT 时钟预分频比 (TOPTA=1)
000	1 : 2	1 : 1



001	1 : 4	1 : 2
010	1 : 8	1 : 4
011	1 : 16	1 : 8
100	1 : 32	1 : 16
101	1 : 64	1 : 32
110	1 : 128	1 : 64
111	1 : 256	1 : 128

定时器 T0 计数器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
TOCNT	TOCNT7	TOCNT6	TOCNT5	TOCNT4	TOCNT3	TOCNT2	TOCNT1	TOCNT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	X	X	X	X	X	X	X	X

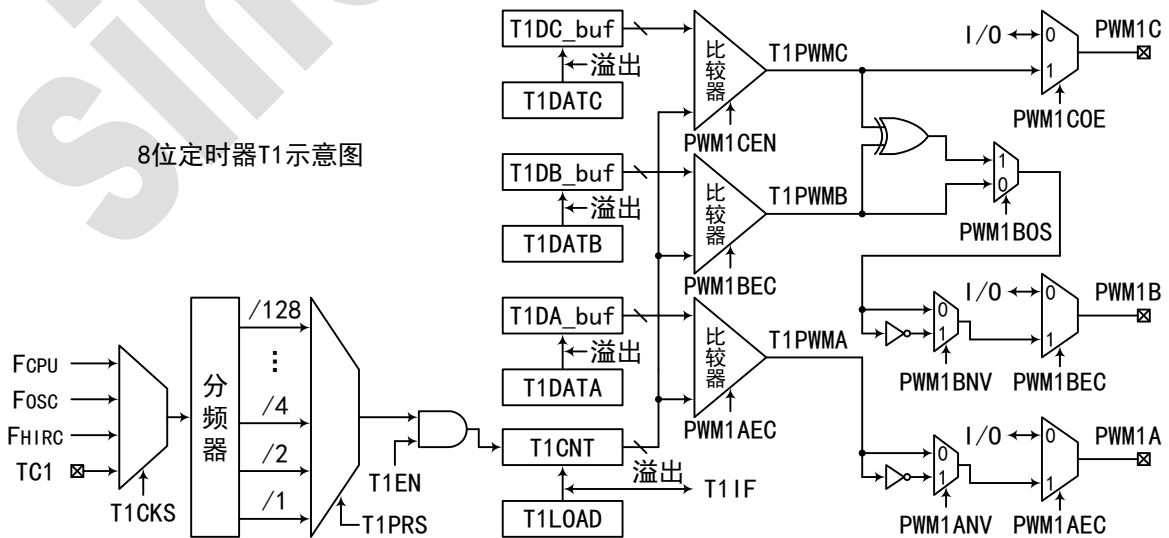
BIT[7:0] TOCNT[7:0] – T0 计数器，为可读写的递增计数器

### 7.3 定时器 T1

定时器 T1 为 8 位定时/计数器，包含 1 个 8 位递减计数器、可编程预分频器、控制寄存器、8 位重载寄存器和 3 个 8 位比较寄存器。

- ◇ 可通过预分频器设置时钟频率，可通过重载寄存器控制计数周期；
- ◇ 支持 3 路 8 位共周期 PWM 输出，可通过对应的比较寄存器分别设置每路 PWM 占空比；
- ◇ 可组合成 1 对带死区的互补 PWM 输出；
- ◇ 支持溢出中断和溢出唤醒功能；

8 位定时器 T1 示意图







定时器 T1，可通过寄存器位 T1CKS 选择时钟源，通过 T1PRS 选择时钟预分频比，所选时钟源通过预分频器后产生 T1 计数器 T1CNT 的计数时钟（上升沿计数）。写 T1CNT 将清零预分频计数器，而预分频比保持不变。

T1EN=0 时，T1CNT 保持不变，写重载寄存器 T1LOAD 将立即载入 T1CNT；T1EN=1 时，T1CNT 递减计数，计数到 0 的时钟结束后产生溢出信号并触发中断，中断标志 T1IF 将被置 1，同时 T1 自动将当前 T1LOAD 值载入 T1CNT 并重新开始计数。

如图所示，定时器 T1 可实现 3 路共周期的 PWM 功能（PWM1x，x=A,B,C，下同），可分别设置每路 PWM 占空比，可通过寄存器位使能或关闭 PWM 功能，并控制端口是否输出 PWM 波形。PWM1x 关闭时 T1PWMx 信号为低电平。PWM1x 使能后 T1CNT 从重载值开始递减计数直到计数溢出为一个 PWM 周期：当计数到与比较寄存器 T1DATx 相等时，T1PWMx 变为高电平；当计数溢出时，T1PWMx 变为低电平。

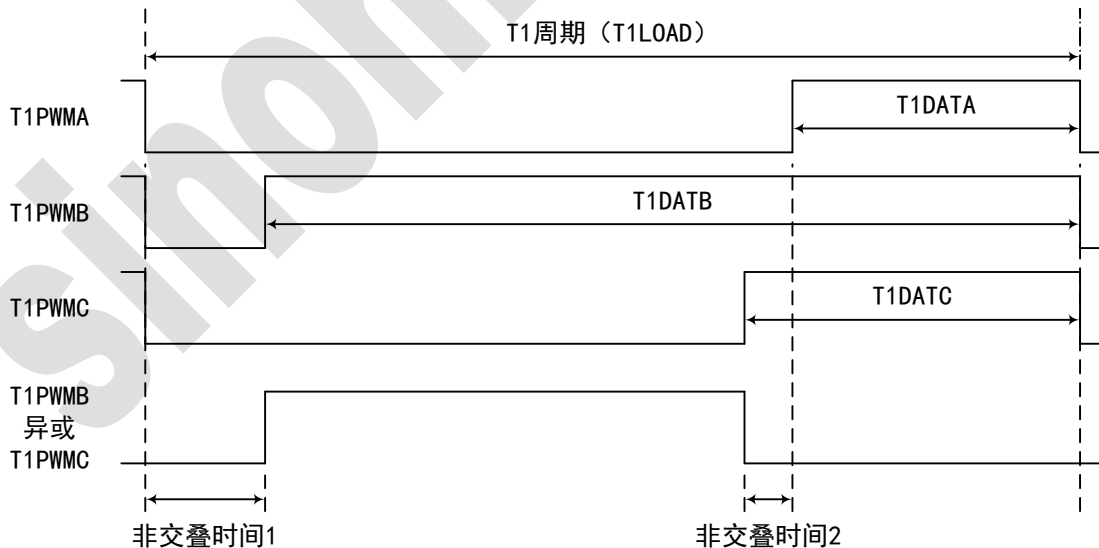
T1DATx 均配有 1 个 8 位比较缓冲器（T1Dx\_buf）用于与 T1CNT 比较，PWM1x 关闭时写 T1DATx 将立即载入缓冲器中，而 PWM1x 使能后写 T1DATx 则将在 T1 溢出时才载入缓冲器中。若要首个 PWM 周期和占空比准确，需先写重载寄存器和比较寄存器，再使能 PWM，最后开启定时器。

T1PWMx 信号（x=A,B,C，下同）的占空比计算如下：

- ◇ 高电平时间 = (T1DATx) × T1CNT 计数时钟周期
- ◇ 周期 (T1 溢出时间) = (T1LOAD + 1) × T1CNT 计数时钟周期
- ◇ 占空比 (高电平时间/周期) = (T1DATx) / (T1LOAD + 1)

如图所示，端口 PWM1B 可通过 PWM1BOS 选择输出 T1PWMB 和 T1PWMC 逻辑异或后的 PWM 波形，从而与端口 PWM1A 输出的 PWM 波形组成 1 对带死区的互补 PWM。

#### PWM1 互补波形示意



#### 定时器控制寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
TMRCR	T2EN	PWM2AEC	PWM2BEC	T1EN	PWM1AEC	PWM1BEC	PWM1CEN	PWM1COE



R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

- BIT[7] **T2EN** – 定时器 T2 使能位
- BIT[6] **PWM2AEC** – PWM2A 使能位及端口输出控制位
- BIT[5] **PWM2BEC** – PWM2B 使能位及端口输出控制位
- BIT[4] **T1EN** – 定时器 T1 使能位  
0: 关闭定时器 T1;  
1: 开启定时器 T1;
- BIT[3] **PWM1AEC** – PWM1A 使能位及端口输出控制位  
0: 关闭 PWM1A 功能, 并禁止端口输出脉宽调制波形;  
1: 使能 PWM1A 功能, 并允许端口输出脉宽调制波形;
- BIT[2] **PWM1BEC** – PWM1B 使能位及端口输出控制位  
0: 关闭 PWM1B 功能, 并禁止端口输出脉宽调制波形;  
1: 使能 PWM1B 功能, 并允许端口输出脉宽调制波形;
- BIT[1] **PWM1CEN** – PWM1C 使能位  
0: 关闭 PWM1C 功能;  
1: 使能 PWM1C 功能;
- BIT[0] **PWM1COE** – PWM1C 端口输出使能位  
0: 禁止端口输出脉宽调制波形;  
1: 允许端口输出脉宽调制波形;

#### 定时器 T1 控制寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
<b>T1CR</b>	PWM1ANV	PWM1BNV	PWM1BOS	T1CKS1	T1CKS0	T1PRS2	T1PRS1	T1PRS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

- BIT[7] **PWM1ANV** – PWM1A 端口输出取反控制位  
0: 端口输出正向波形;  
1: 端口对电平取反后输出;
- BIT[6] **PWM1BNV** – PWM1B 端口输出取反控制位  
0: 端口输出正向波形;  
1: 端口对电平取反后输出;
- BIT[5] **PWM1BOS** – PWM1B 端口输出信号选择位  
0: 输出 T1PWMB 信号;  
1: 输出 T1PWMB 和 T1PWMC 的逻辑异或信号;

BIT[4:3] **T1CKS[1:0]** – T1 时钟源选择位

T1CKS[1:0]	T1 时钟源
00	FCPU
01	Fosc
10	FHIRC
11	TC1 上升沿

BIT[2:0] **T1PRS[2:0]** – T1 时钟预分频比选择位

T1PRS[2:0]	T1 时钟预分频比
000	1 : 1
001	1 : 2
010	1 : 4
011	1 : 8
100	1 : 16
101	1 : 32
110	1 : 64
111	1 : 128

**PWM1 控制寄存器**

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
<b>PWM1CR</b>	PWM1AMD	PWM1BMD	PWM1CMD	-	PWM1ACE	PWM1BCE	PWM1CCE	-
<b>R/W</b>	R/W	R/W	R/W	-	R/W	R/W	R/W	-
<b>初始值</b>	0	0	0	-	1	1	1	-

BIT[7:5] **PWM1xMD** – PWM1x 模式控制位 (x=A,B,C)

- 0: T1 计数溢出时 T1PWMx 信号变为低电平;
- 1: T1 计数溢出时 T1PWMx 信号变为高电平;

BIT[3:1] **PWM1xCE** – PWM1x 比较使能位 (x=A,B,C)

- 0: 下一个计数周期, T1CNT 计数到与 T1DATx 相等时, T1PWMx 信号保持不变;
- 1: 下一个计数周期, T1CNT 计数到与 T1DATx 相等时, T1PWMx 信号变为高电平;

**定时器 T1 计数器**

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
<b>T1CNT</b>	T1CNT7	T1CNT6	T1CNT5	T1CNT4	T1CNT3	T1CNT2	T1CNT1	T1CNT0
<b>R/W</b>	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
<b>初始值</b>	1	1	1	1	1	1	1	1

BIT[7:0] **T1CNT[7:0]** – T1 计数器, 为可读写的递减计数器**定时器 T1 重载寄存器**

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
--	--------	--------	--------	--------	--------	--------	--------	--------



T1LOAD	T1LOAD7	T1LOAD6	T1LOAD5	T1LOAD4	T1LOAD3	T1LOAD2	T1LOAD1	T1LOAD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	1	1	1	1	1	1	1	1

BIT[7:0] **T1LOAD[7:0]** – T1 重载寄存器，用于设置 T1 的计数周期

注：定时器重载寄存器的值禁止为 0，否则定时器将无法正常工作。

#### 定时器 T1 比较寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
T1DATA	T1DATA7	T1DATA6	T1DATA5	T1DATA4	T1DATA3	T1DATA2	T1DATA1	T1DATA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7:0] **T1DATA[7:0]** – T1 比较寄存器 A，用于设置 PWM1A 的占空比

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
T1DATB	T1DATB7	T1DATB6	T1DATB5	T1DATB4	T1DATB3	T1DATB2	T1DATB1	T1DATB0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7:0] **T1DATB[7:0]** – T1 比较寄存器 B，用于设置 PWM1B 的占空比

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
T1DATC	T1DATC7	T1DATC6	T1DATC5	T1DATC4	T1DATC3	T1DATC2	T1DATC1	T1DATC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7:0] **T1DATC[7:0]** – T1 比较寄存器 C，用于设置 PWM1C 的占空比

## 7.4 定时器 T2

定时器 T2 为 11 位定时器，包含 1 个 11 位递减计数器、可编程预分频器、控制寄存器、11 位重载寄存器和 2 个 11 位比较寄存器。

- ◇ 可通过预分频器设置时钟频率，可通过重载寄存器控制计数周期；
- ◇ 支持 2 路 11 位共周期 PWM 输出，可通过对应的比较寄存器分别设置每路 PWM 占空比；
- ◇ 支持溢出中断和溢出唤醒功能；

定时器 T2，可通过寄存器位 T2CKS 选择时钟源，通过 T2PRS 选择时钟预分频比，所选时钟源通过预分频器后产生 T2 计数器 T2CNT 的计数时钟（上升沿计数）。写 T2CNT 将清零预分频计数器，而预分频比保持不变。

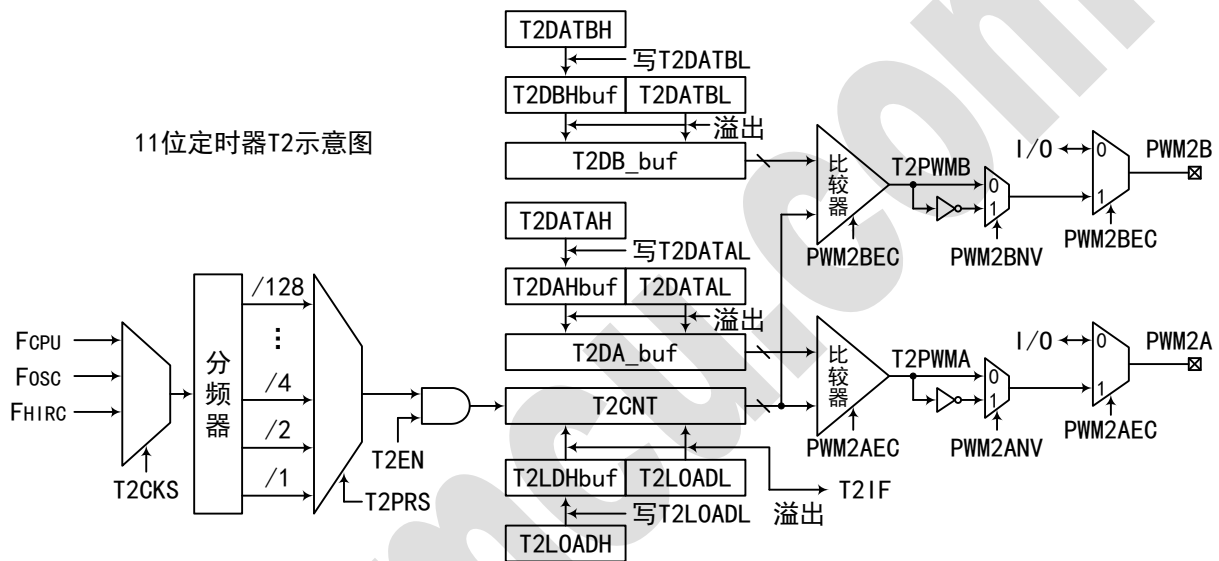
11 位 T2CNT 的高字节 T2CNTH 配有缓冲器，读写 T2CNTH 实际为读写缓冲器中内容，T2CNTH 实际内容仅在读写 T2CNTL 时才自动与缓冲器交互，因此写 T2CNT 需先写 T2CNTH 再写 T2CNTL（硬



件同时自动将缓存器内容载入 T2CNTH)，而读 T2CNT 则需先读 T2CNTL（硬件同时自动将 T2CNTH 内容载入缓冲器中）再读 T2CNTH。

T2EN=0 时，T2CNT 保持不变，写重载寄存器 T2LOAD 将立即载入 T2CNT；T2EN=1 时，T2CNT 递减计数，计数到 0 的时钟结束后产生溢出信号并触发中断，中断标志 T2IF 将被置 1，同时 T2 自动将当前 T2LOAD 值载入 T2CNT 并重新开始计数。

11 位 T2LOAD 的高字节 T2LOADH 配有缓冲器 (T2LDHbuf)，写 T2LOADL 时会同时将 T2LOADH 内容载入该缓冲器中，因此调整 T2LOAD 值时需先写 T2LOADH 再写 T2LOADL。此时若 T2EN=0，则会同时再将[缓冲器:T2LOADL]载入 T2CNT；若 T2EN=1，则会在 T2 溢出后才将[缓冲器:T2LOADL]载入 T2CNT。



如图所示，定时器 T2 可实现 2 路共周期的 PWM 功能 (PWM2x, x=A,B, 下同)，可分别设置每路 PWM 占空比，可通过寄存器位使能或关闭 PWM 功能，并控制端口是否输出 PWM 波形。PWM2x 关闭时 T2PWMx 信号为低电平。PWM2x 使能后 T2CNT 从重载值开始递减计数直到计数溢出为一个 PWM 周期：当计数到与比较寄存器 T2DATx 相等时，T2PWMx 变为高电平；当计数溢出时，T2PWMx 变为低电平。

11 位 T2DATAx 均配有 1 个 3 位的高位缓冲器 (T2DxHbuf) 和 1 个 11 位比较缓冲器 (T2Dx\_buf)，写 T2DATxL 时会同时将 T2DATxH 内容载入高位缓冲器中，写 T2DATx 需先写 T2DATxH 再写 T2DATxL。此时若 PWM2x 关闭，则会同时再将[高位缓冲器:T2DATxL]载入比较缓冲器中；若 PWM2x 已使能，则会在 T2 溢出后才将[高位缓冲器:T2DATxL]载入比较缓冲器中。若要首个 PWM 周期和占空比准确，需先写重载寄存器和比较寄存器，再使能 PWM，最后开启定时器。

T2PWMx 信号 (x=A,B, 下同) 的占空比计算如下：

- ◇ 高电平时间 = (T2DATx) × T2CNT 计数时钟周期
- ◇ 周期 (T2 溢出时间) = (T2LOAD + 1) × T2CNT 计数时钟周期
- ◇ 占空比 (高电平时间/周期) = (T2DATx) / (T2LOAD + 1)



## 定时器控制寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
TMRCR	T2EN	PWM2AEC	PWM2BEC	T1EN	PWM1AEC	PWM1BEC	PWM1CEN	PWM1COE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7] **T2EN** – 定时器 T2 使能位

- 0: 关闭定时器 T2;
- 1: 开启定时器 T2;

BIT[6] **PWM2AEC** – PWM2A 使能位及端口输出控制位

- 0: 关闭 PWM2A 功能, 并禁止端口输出脉宽调制波形;
- 1: 使能 PWM2A 功能, 并允许端口输出脉宽调制波形;

BIT[5] **PWM2BEC** – PWM2B 使能位及端口输出控制位

- 0: 关闭 PWM2B 功能, 并禁止端口输出脉宽调制波形;
- 1: 使能 PWM2B 功能, 并允许端口输出脉宽调制波形;

BIT[4] **T1EN** – 定时器 T1 使能位

BIT[3] **PWM1AEC** – PWM1A 使能位及端口输出控制位

BIT[2] **PWM1BEC** – PWM1B 使能位及端口输出控制位

BIT[1] **PWM1CEN** – PWM1C 使能位

BIT[0] **PWM1COE** – PWM1C 端口输出使能位

## 定时器 T2 控制寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
T2CR	PWM2ANV	PWM2BNV	-	T2CKS1	T2CKS0	T2PRS2	T2PRS1	T2PRS0
R/W	R/W	R/W	-	R/W	R/W	R/W	R/W	R/W
初始值	0	0	-	0	0	0	0	0

BIT[7] **PWM2ANV** – PWM2A 端口输出取反控制位

- 0: 端口输出正向波形;
- 1: 端口对电平取反后输出;

BIT[6] **PWM2BNV** – PWM2B 端口输出取反控制位

- 0: 端口输出正向波形;
- 1: 端口对电平取反后输出;

BIT[4:3] **T2CKS[1:0]** – T2 时钟源选择位

T2CKS[1:0]	T2 时钟源
00	FCPU
01	FOSC
10	FHIRC
11	保留



BIT[2:0] **T2PRS[2:0]** – T2 时钟预分频比选择位

T2PRS[2:0]	T2 时钟预分频比
000	1 : 1
001	1 : 2
010	1 : 4
011	1 : 8
100	1 : 16
101	1 : 32
110	1 : 64
111	1 : 128

定时器 T2 计数器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
T2CNTH	-	-	-	-	-	T2CNT10	T2CNT9	T2CNT8
R/W	-	-	-	-	-	-	-	-
初始值	-	-	-	-	-	1	1	1

BIT[2:0] **T2CNT[10:8]** – T2 计数器高 3 位，为不可读写的递减计数器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
T2CNTL	T2CNT7	T2CNT6	T2CNT5	T2CNT4	T2CNT3	T2CNT2	T2CNT1	T2CNT0
R/W	-	-	-	-	-	-	-	-
初始值	1	1	1	1	1	1	1	1

BIT[7:0] **T2CNT[7:0]** – T2 计数器低 8 位，为不可读写的递减计数器

定时器 T2 重载寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
T2LOADH	-	-	-	-	-	T2LOAD10	T2LOAD9	T2LOAD8
R/W	-	-	-	-	-	R/W	R/W	R/W
初始值	-	-	-	-	-	1	1	1

BIT[2:0] **T2LOAD[10:8]** – T2 重载寄存器高 3 位，用于设置 T2 的计数周期

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
T2LOADL	T2LOAD7	T2LOAD6	T2LOAD5	T2LOAD4	T2LOAD3	T2LOAD2	T2LOAD1	T2LOAD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	1	1	1	1	1	1	1	1

BIT[7:0] **T2LOAD[7:0]** – T2 重载寄存器低 8 位，用于设置 T2 的计数周期

注：定时器重载寄存器的值禁止为 0，否则定时器将无法正常工作。



## 定时器 T2 比较寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
T2DATAH	-	-	-	-	-	T2DATA10	T2DATA9	T2DATA8
R/W	-	-	-	-	-	R/W	R/W	R/W
初始值	-	-	-	-	-	0	0	0

BIT[2:0] **T2DATA[10:8]** – T2 比较寄存器 A 高 3 位，用于设置 PWM2A 的占空比

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
T2DATAL	T2DATA7	T2DATA6	T2DATA5	T2DATA4	T2DATA3	T2DATA2	T2DATA1	T2DATA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7:0] **T2DATA[7:0]** – T2 比较寄存器 A 低 8 位，用于设置 PWM2A 的占空比

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
T2DATBH	-	-	-	-	-	T2DATB10	T2DATB9	T2DATB8
R/W	-	-	-	-	-	R/W	R/W	R/W
初始值	-	-	-	-	-	0	0	0

BIT[2:0] **T2DATB[10:8]** – T2 比较寄存器 B 高 3 位，用于设置 PWM2B 的占空比

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
T2DATBL	T2DATB7	T2DATB6	T2DATB5	T2DATB4	T2DATB3	T2DATB2	T2DATB1	T2DATB0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7:0] **T2DATB[7:0]** – T2 比较寄存器 B 低 8 位，用于设置 PWM2B 的占空比



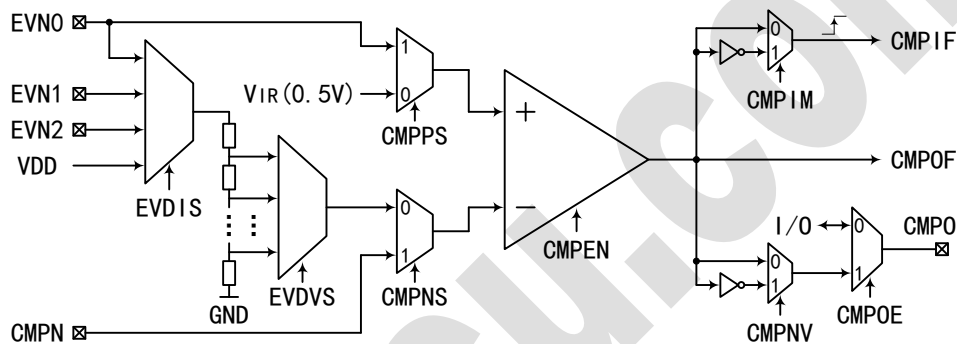


## 8 比较器 CMP 和电压检测 EVD

### 8.1 CMP 概述

芯片内置 1 个模拟比较器 CMP，包含内部基准电压  $V_{IR}$  (0.5V) 生成电路和内部电阻分压电路。

- ◇ 输入共模  $0 \sim (V_{DD}-1.4V)$ ，输出可选有/无回滞；
- ◇ 正端输入可选择外部输入电压、或内部基准电压  $V_{IR}$  (0.5V)；
- ◇ 负端输入可选择外部输入电压、或外部输入电压/VDD 的内部分压电压；
- ◇ 输出端电平可选择上升沿或下降沿触发中断，可从端口输出且支持输出取反；
- ◇ 可实现 VDD 或外部输入的电压检测 (EVD) 功能；



CMP 可实现 2 路外部输入电压 (EVN0 与 CMPN) 之间的比较，也可实现外部输入电压 CMPN 与内部基准电压  $V_{IR}$  (0.5V) 的比较，比较结果可通过输出状态标志位 CMPOF 读取。CMP 输出端电平可通过 CMPIM 选择上升或下降沿触发中断，并可通过 CMPOE 选择是否从端口输出。

CMP 还可实现 VDD 或外部输入的电压检测 (EVD) 功能。通过寄存器位 EVDVS 选择电压检测阈值，实际是选择内部分压电阻的分压比例，分压后的电压与内部基准电压  $V_{IR}$  的比较结果，即为 VDD 或外部输入电压与电压检测阈值的比较结果，从而实现电压检测功能。

注：

- 1、开启 CMP、切换输入通道或电压检测阈值等操作，需待电路稳定 (时间  $> 200 \mu s$ ) 后 CMP 输出才有效；
- 2、比较器选择快速响应或无回滞输出时，其输出受外部电路影响较大，应针对实际应用进行软件去抖处理；
- 3、内部分压电路采用串联电阻分压方式，即按照电压检测阈值换算出的电阻分压比，从 600 个  $3k\Omega$  电阻的串联电路中抽取对应的分压信号，因此对外部输入进行电压检测时，需确保外部电路不会影响内部电阻分压比；
- 4、仅在 CMPO 端口设为输出口时，CMPOE 置 1 将比较结果输出至端口的操作才有效；
- 5、CMP 应用中，需通过端口数模控制寄存器关闭相应端口的数字 I/O 功能，以防止产生漏电流；



## 8.2 CMP 相关寄存器

### 比较器控制寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
CMPCRO	CMPEN	CMPHY	CMPPS	CMPNS	CMPNV	CMPOE	CMPIM	CMPOF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
初始值	0	0	0	0	0	0	0	X

BIT[7] **CMPEN** – 比较器 CMP 使能位

- 0: 关闭 CMP;
- 1: 开启 CMP;

BIT[6] **CMPHY** – CMP 输出回滞控制位

- 0: CMP 输出无回滞;
- 1: CMP 输出有回滞;

BIT[5] **CMPPS** – CMP 正端输入选择位

- 0: CMP 正端输入为内部基准电压  $V_{IR}$ ;
- 1: CMP 正端输入为端口 EVN0 输入电压;

BIT[4] **CMPNS** – CMP 负端输入选择位

- 0: CMP 负端输入为外部输入电压（或 VDD 电压）的内部分压电压;
- 1: CMP 负端输入为端口 CMPN 输入电压;

BIT[3] **CMPNV** – CMPO 端口输出取反控制位

- 0: 端口输出 CMP 比较结果的正向电平;
- 1: 端口对 CMP 比较结果取反后输出;

BIT[2] **CMPOE** – CMPO 端口输出使能位

- 0: 禁止端口输出 CMP 比较结果;
- 1: 允许端口输出 CMP 比较结果;

BIT[1] **CMPIM** – CMP 中断触发方式选择位

- 0: CMP 输出的上升沿触发中断;
- 1: CMP 输出的下降沿触发中断;

BIT[0] **CMPOF** – CMP 比较结果状态标志位

- 0: CMP 比较结果为低，即比较器正端输入电压低于负端输入电压；或 CMP 关闭;
- 1: CMP 比较结果为高，即比较器正端输入电压高于负端输入电压;

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
CMPCR1	EVDIS1	EVDIS0	EVDVS5	EVDVS4	EVDVS3	EVDVS2	EVDVS1	EVDVS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W



初始值	0	0	0	0	0	0	0	0
-----	---	---	---	---	---	---	---	---

BIT[7:6] **EVDIS[1:0]** – EVD 被检测电压选择位

EVDIS[1:0]	EVD 被检测电压
00	VDD
01	端口 EVN0 输入电压
10	端口 EVN1 输入电压
11	端口 EVN2 输入电压

BIT[5:0] **EVDVS[5:0]** – EVD 电压检测阈值选择位

EVDVS [5:0]	检测值 (V)	电阻分压比	EVDVS [5:0]	检测值 (V)	电阻分压比	EVDVS [5:0]	检测值 (V)	电阻分压比	EVDVS [5:0]	检测值 (V)	电阻分压比
00H	0.56	536/600	10H	1.68	179/600	20H	2.80	107/600	30H	3.92	77/600
01H	0.63	476/600	11H	1.75	171/600	21H	2.87	105/600	31H	3.99	75/600
02H	0.70	429/600	12H	1.82	165/600	22H	2.94	102/600	32H	4.06	74/600
03H	0.77	390/600	13H	1.89	159/600	23H	3.01	100/600	33H	4.13	73/600
04H	0.84	357/600	14H	1.96	153/600	24H	3.08	97/600	34H	4.20	71/600
05H	0.91	330/600	15H	2.03	148/600	25H	3.15	95/600	35H	4.27	70/600
06H	0.98	306/600	16H	2.10	143/600	26H	3.22	93/600	36H	4.34	69/600
07H	1.05	285/600	17H	2.17	138/600	27H	3.29	91/600	37H	4.41	68/600
08H	1.12	268/600	18H	2.24	134/600	28H	3.36	89/600	38H	4.48	67/600
09H	1.19	252/600	19H	2.31	130/600	29H	3.43	87/600	39H	4.55	66/600
0AH	1.26	238/600	1AH	2.38	126/600	2AH	3.50	86/600	3AH	4.62	65/600
0BH	1.33	226/600	1BH	2.45	122/600	2BH	3.57	84/600	3BH	4.69	64/600
0CH	1.40	214/600	1CH	2.52	119/600	2CH	3.64	82/600	3CH	4.76	63/600
0DH	1.47	204/600	1DH	2.59	116/600	2DH	3.71	81/600	3DH	4.83	62/600
0EH	1.54	195/600	1EH	2.65	113/600	2EH	3.78	79/600	3EH	4.90	61/600
0FH	1.61	186/600	1FH	2.73	110/600	2FH	3.85	78/600	3FH	4.97	60/600



## 9 中断

芯片的中断源包括外部中断（INT0~INT1）、定时器中断（T0~T2）、比较器中断和键盘中断等。可通过中断总使能位 GIE 屏蔽所有中断。

CPU 响应中断的过程如下：

- ◇ CPU 响应中断源触发的中断请求时，自动将当前指令之后将要执行的下一条指令的地址压栈保存，自动清 0 中断总使能位 GIE 以暂停响应后续中断。与复位不同，硬件中断不停止当前指令的执行，而是暂时挂起中断继续执行当前指令，完成后再处理中断。
- ◇ CPU 响应中断后，程序跳至中断入口地址（0008H）开始执行中断服务程序，中断服务程序应先保存累加器 A 和状态寄存器 PFLAG，然后处理被触发的中断。
- ◇ 中断服务程序处理完中断后，应先恢复累加器 A 和状态寄存器 PFLAG，再执行 RETIE 指令以返回主程序。系统将自动恢复 GIE 为 1，然后从堆栈取出此前保存的 PC 值，CPU 从响应中断时正在执行指令的下一条指令的地址处开始继续运行。

*注：应用外部中断功能或键盘中断功能，需将相应端口设为输入状态。*

### 9.1 外部中断

芯片具有 2 路外部中断源 INT0/INT1，可选择上升沿、下降沿或电平变化等触发方式。外部中断触发时，中断标志 INTnIF（n=0-1）将被置 1，若 GIE 为 1 且相应的外部中断使能位 INTnIE（n=0-1）为 1，则产生外部中断。

*注：当 P10 端口通过寄存器位 EIS 置 1 复用为 INT0 时，端口的键盘中断唤醒功能无效。*

### 9.2 定时器中断

定时器 Tn（n=0-2）在计数溢出时将触发定时器中断，中断标志 TnIF（n=0-2）将被置 1，若 GIE 为 1 且相应的定时器中断使能位 TnIE（n=0-2）为 1，则产生定时器中断。

### 9.3 键盘中断

芯片具有 16 路键盘中断源，均可单独使能或关闭端口的键盘中断功能。任意一路使能键盘中断功能的端口，其输入电平发生变化时均将触发键盘中断，中断标志 KBIF 将被置 1，若 GIE 为 1 且键盘中断使能位 KBIE 为 1，则产生键盘中断。



## 键盘中断控制寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
P0KBCR	P07KE	P06KE	P05KE	P04KE	P03KE	P02KE	P01KE	P00KE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7:0] **P0nKE** – P0n 端口键盘中断功能使能位 (n=7-0)

- 0: 关闭端口的键盘中断功能;
- 1: 使能端口的键盘中断功能;

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
P1KBCR	P17KE	P16KE	P15KE	P14KE	P13KE	P12KE	P11KE	P10KE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	1	1	1	1	1	1	1	1

BIT[7:0] **P1nKE** – P1n 端口键盘中断功能使能位 (n=7-0)

- 0: 关闭端口的键盘中断功能;
- 1: 使能端口的键盘中断功能;

## 9.4 比较器中断

比较器 CMP 的输出可选择上升沿或下降沿等方式触发比较器中断, 中断标志 CMPIF 将被置 1, 若 GIE 为 1 且比较器中断使能位 CMPIE 为 1, 则产生比较器中断。

## 9.5 中断相关寄存器

## 中断使能寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
INTE1	GIE	INT1M	INT0M	-	CMPIE	T2IE	T1IE	INT1IE
R/W	R/W	R/W	R/W	-	R/W	R/W	R/W	R/W
初始值	0	0	0	-	0	0	0	0

BIT[7] **GIE** – 中断总使能位

- 0: 屏蔽所有中断;
- 1: 由相应的中断使能位决定 CPU 是否响应中断源所触发的中断;

BIT[6] **INT1M** – 外部中断 INT1 触发方式选择位

- 0: 下降沿触发;
- 1: 上升沿触发;



BIT[5] **INT0M** – 外部中断 INTO 触发方式选择位  
 0: 下降沿触发;  
 1: 上升沿触发;

BIT[3] **CMPIE** – 比较器 CMP 中断使能位  
 0: 屏蔽 CMP 中断;  
 1: 使能 CMP 中断;

BIT[2] **T2IE** – 定时器 T2 中断使能位  
 0: 屏蔽定时器 T2 中断;  
 1: 使能定时器 T2 中断;

BIT[1] **T1IE** – 定时器 T1 中断使能位  
 0: 屏蔽定时器 T1 中断;  
 1: 使能定时器 T1 中断;

BIT[0] **INT1IE** – INT1 中断使能位  
 0: 屏蔽 INT1 中断;  
 1: 使能 INT1 中断;

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
INTE0	-	-	-	-	-	INT0IE	KBIE	TOIE
R/W	-	-	-	-	-	R/W	R/W	R/W
初始值	-	-	-	-	-	0	0	0

BIT[2] **INT0IE** – INTO 中断使能位  
 0: 屏蔽 INTO 中断;  
 1: 使能 INTO 中断;

BIT[1] **KBIE** – 键盘中断使能位  
 0: 屏蔽键盘中断;  
 1: 使能键盘中断;

BIT[0] **TOIE** – 定时器 T0 中断使能位  
 0: 屏蔽定时器 T0 中断;  
 1: 使能定时器 T0 中断;

#### 中断标志寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
INTF1	-	-	-	-	CMPIF	T2IF	T1IF	INT1IF
R/W	-	-	-	-	R/W	R/W	R/W	R/W
初始值	-	-	-	-	0	0	0	0



- BIT[3] **CMPIF** – 比较器 CMP 中断标志位  
 0: 未触发 CMP 中断;  
 1: 已触发 CMP 中断, 需软件清 0;
- BIT[2] **T2IF** – 定时器 T2 中断标志位  
 0: 未触发定时器 T2 中断;  
 1: 已触发定时器 T2 中断, 需软件清 0;
- BIT[1] **T1IF** – 定时器 T1 中断标志位  
 0: 未触发定时器 T1 中断;  
 1: 已触发定时器 T1 中断, 需软件清 0;
- BIT[0] **INT1IF** – INT1 中断标志位  
 0: 未触发 INT1 中断;  
 1: 已触发 INT1 中断, 需软件清 0;

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
INTFO	-	-	-	-	-	INTOIF	KBIF	TOIF
R/W	-	-	-	-	-	R/W	R/W	R/W
初始值	-	-	-	-	-	0	0	0

- BIT[2] **INTOIF** – INTO 中断标志位  
 0: 未触发 INTO 中断;  
 1: 已触发 INTO 中断, 需软件清 0;
- BIT[1] **KBIF** – 键盘中断标志位  
 0: 未触发键盘中断;  
 1: 已触发键盘中断, 需软件清 0;
- BIT[0] **TOIF** – 定时器 T0 中断标志位  
 0: 未触发定时器 T0 中断;  
 1: 已触发定时器 T0 中断, 需软件清 0;

注: 兼容模式下, 读 INTFO 操作的结果, 不是 INTFO 的实际寄存器值, 而是 INTFO 与 INTEO 的逻辑与的值。



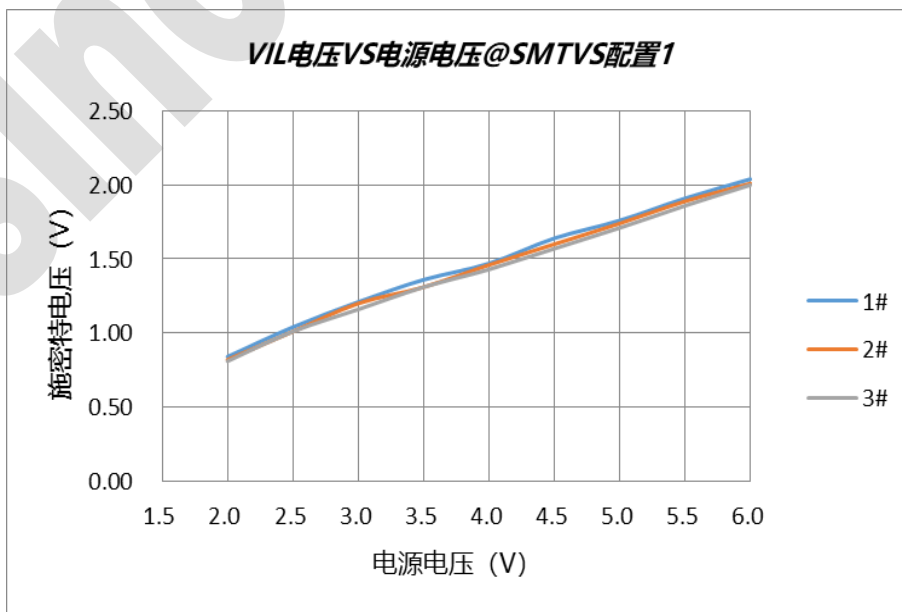
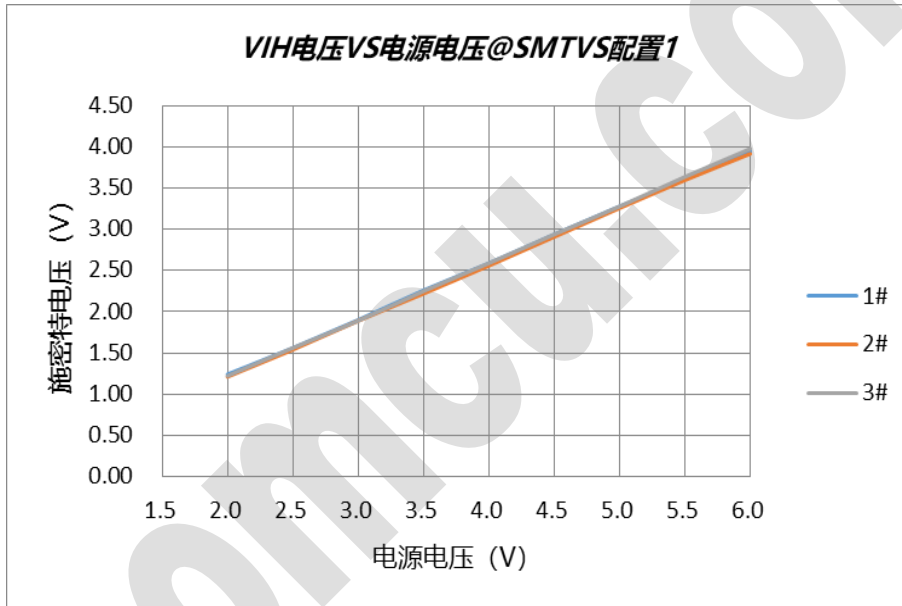
## 10 特性曲线

注:

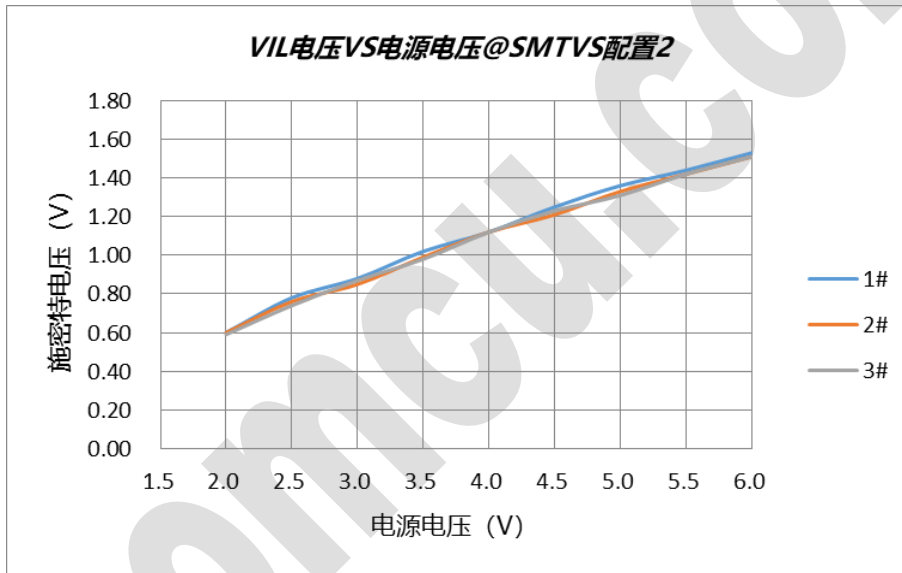
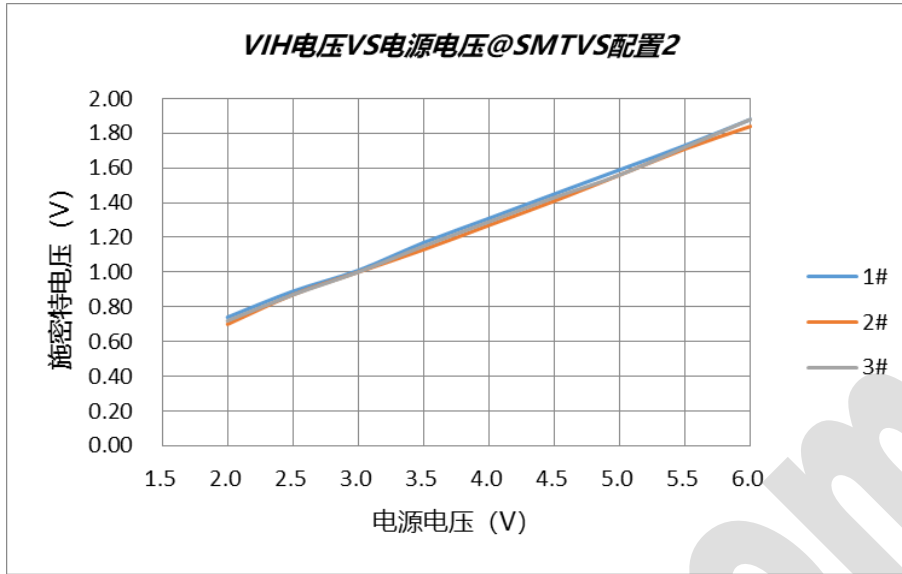
- 1、特性曲线图中数据均源自抽样实测，仅作为应用参考，部分数据因生产工艺偏差，可能与实际芯片不符；为保证芯片能正常工作，请确保其工作条件符合电气特性参数说明；
- 2、图文中若无特别说明，则电压特性曲线的温度条件为  $T=25^{\circ}\text{C}$ ，温度特性曲线的电压条件为  $V_{DD}=5\text{V}$ ；

### 10.1 I/O 特性

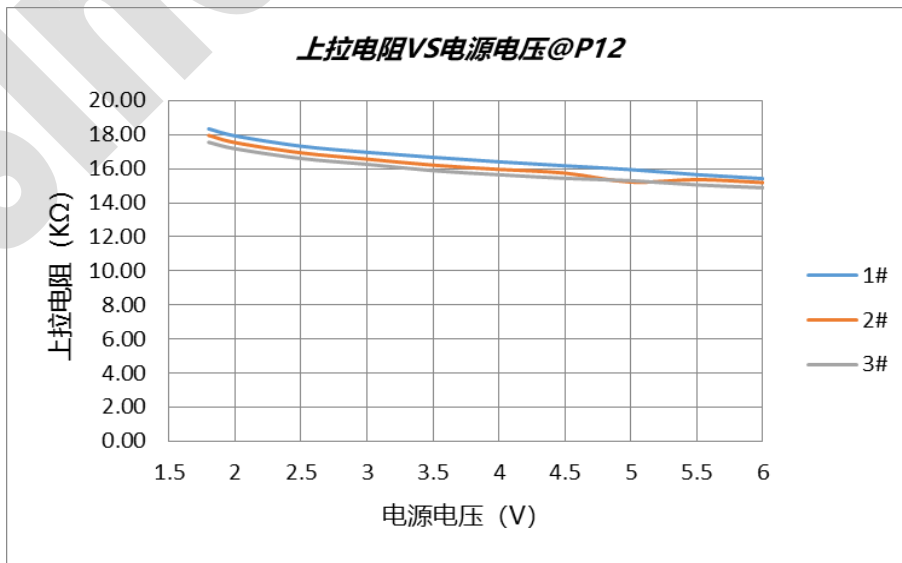
输入 SMT 阈值电压 VS 电源电压

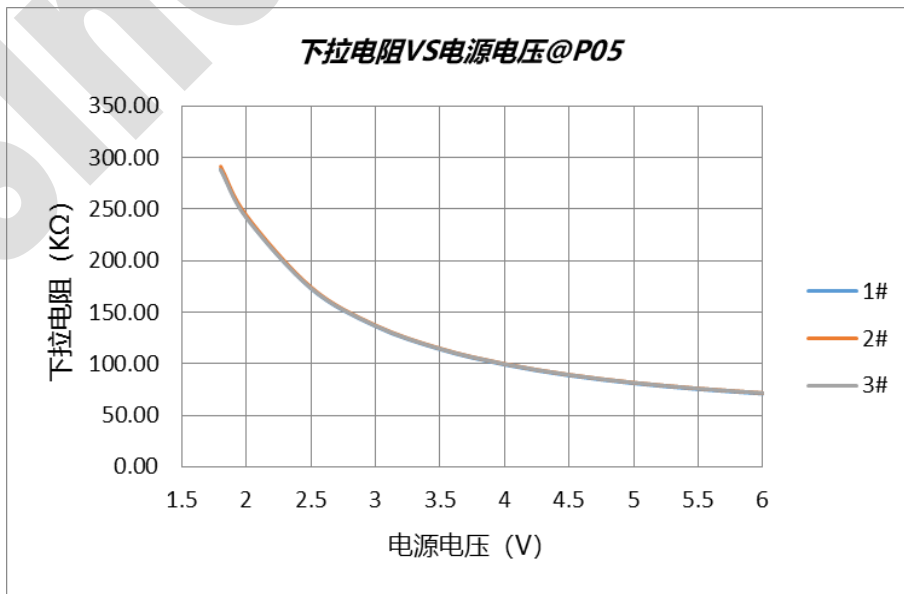
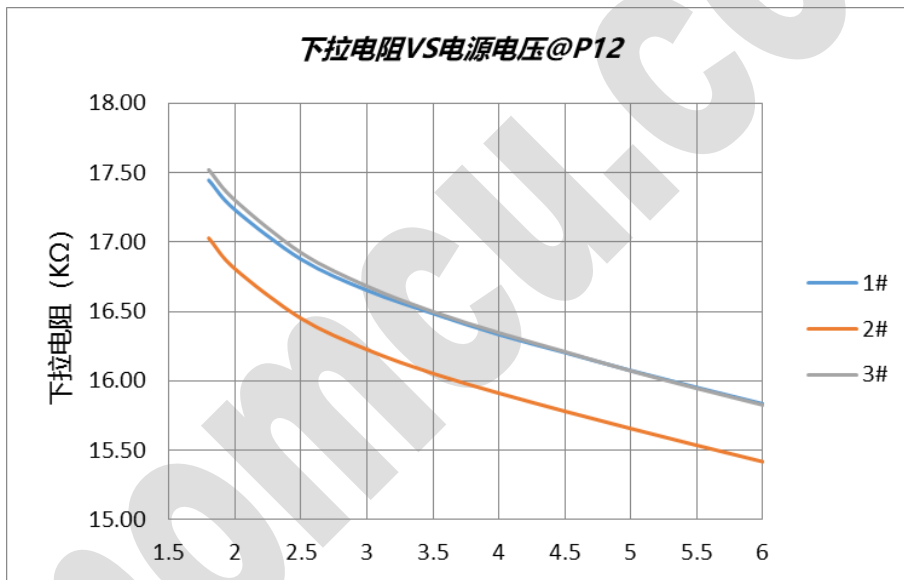
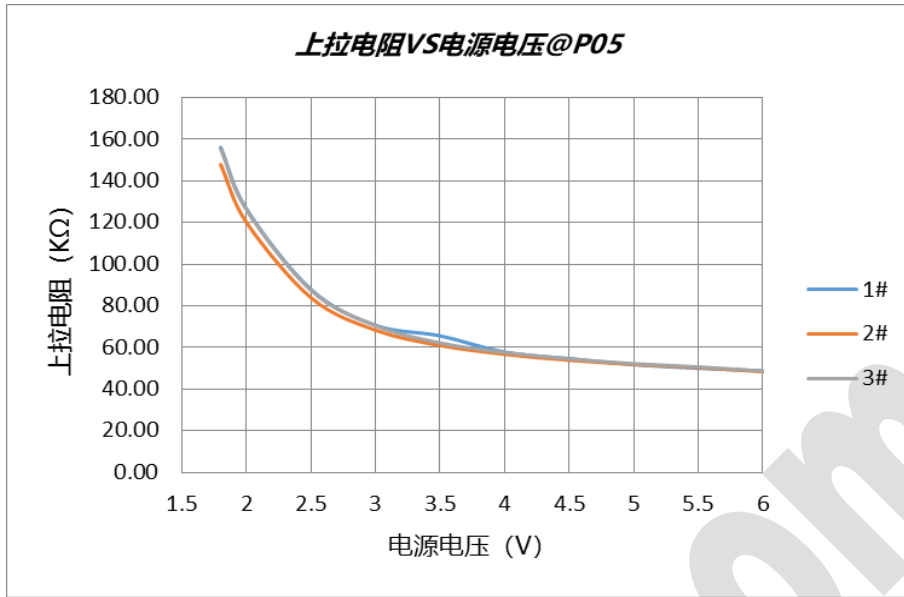






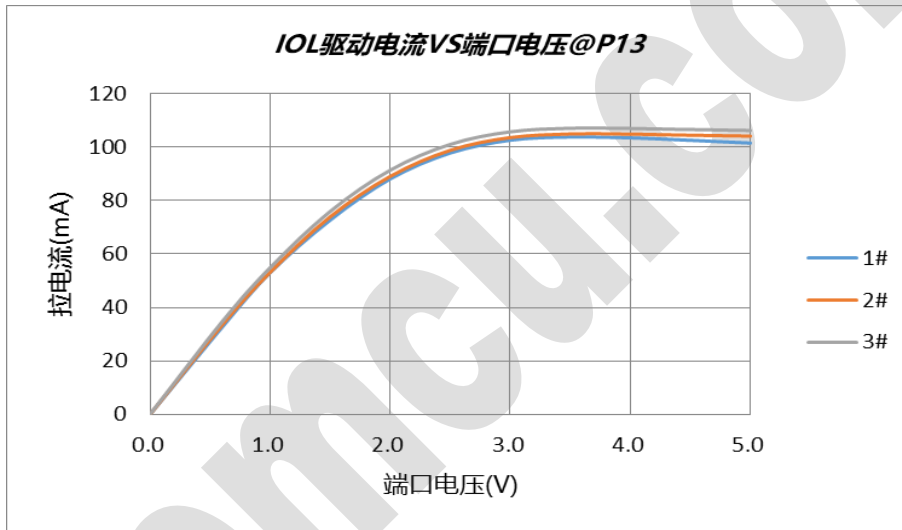
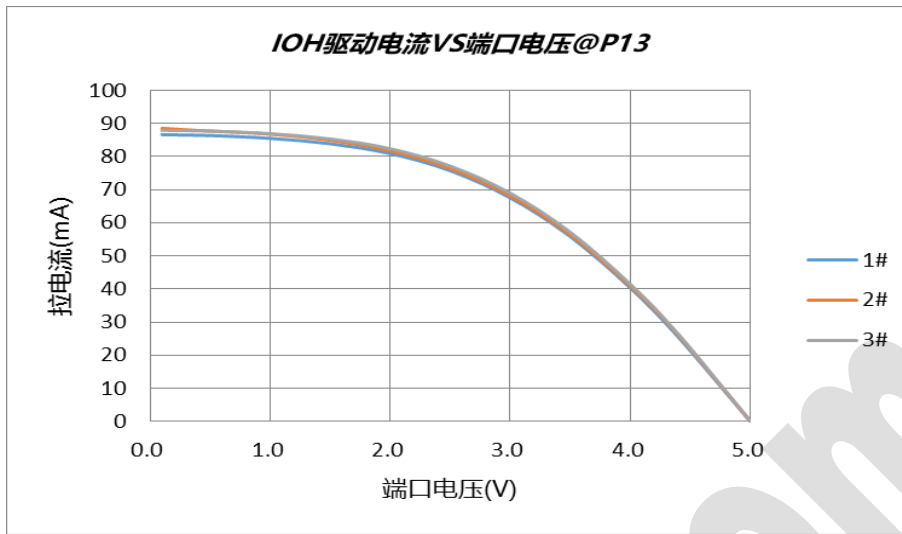
上/下拉电阻值 VS 电源电压





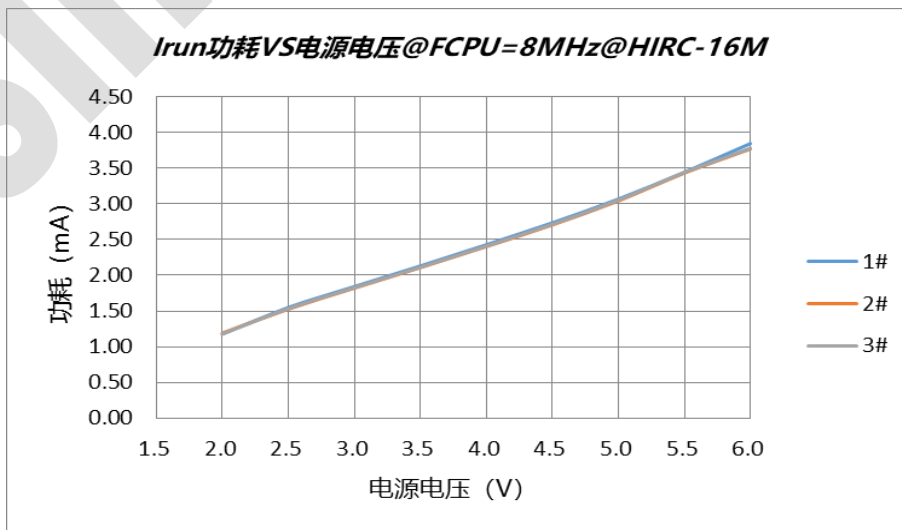


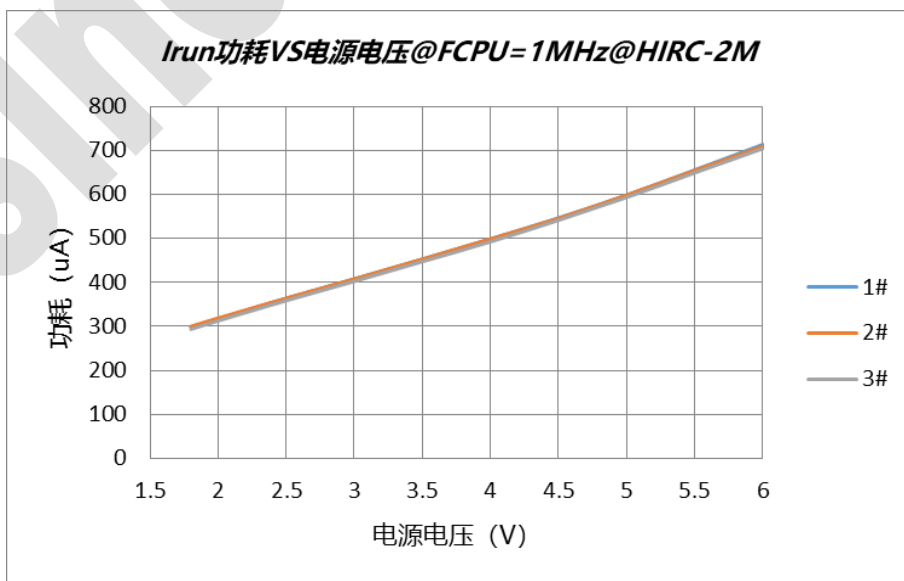
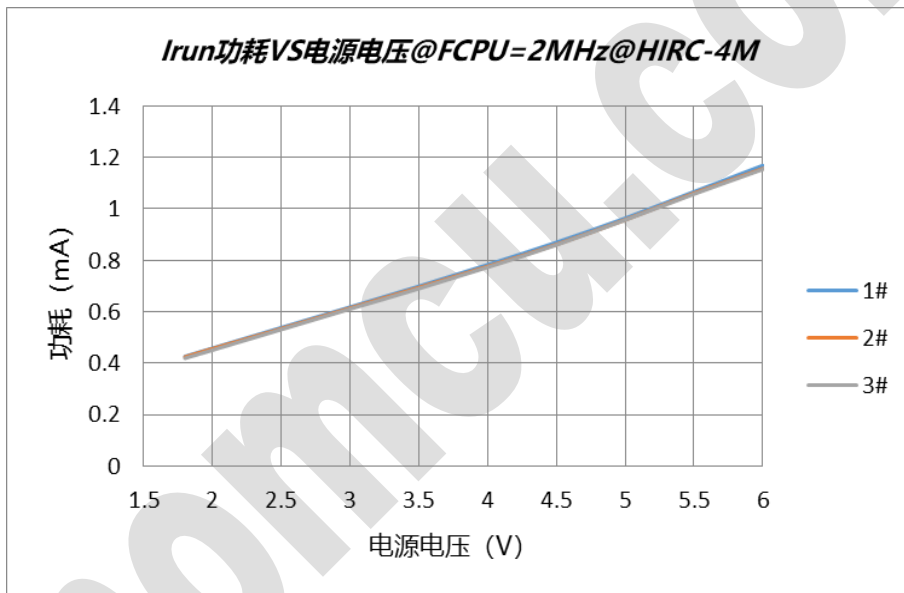
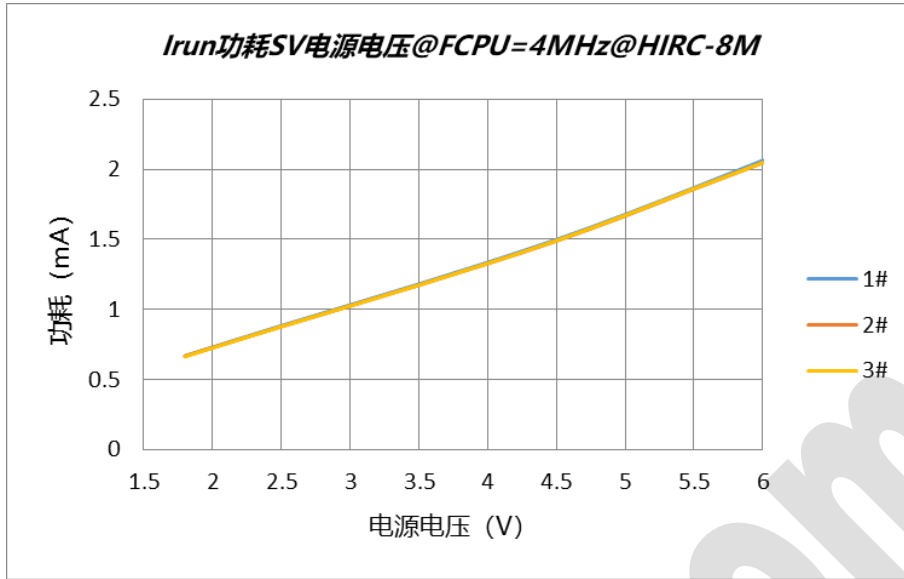
I/O 输出电流 VS 端口电压 (VDD=5V)

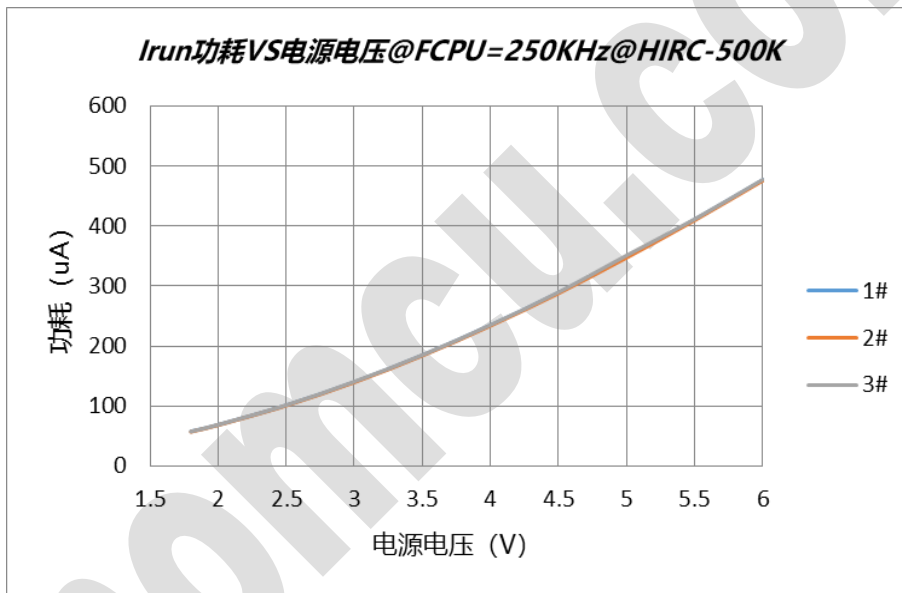
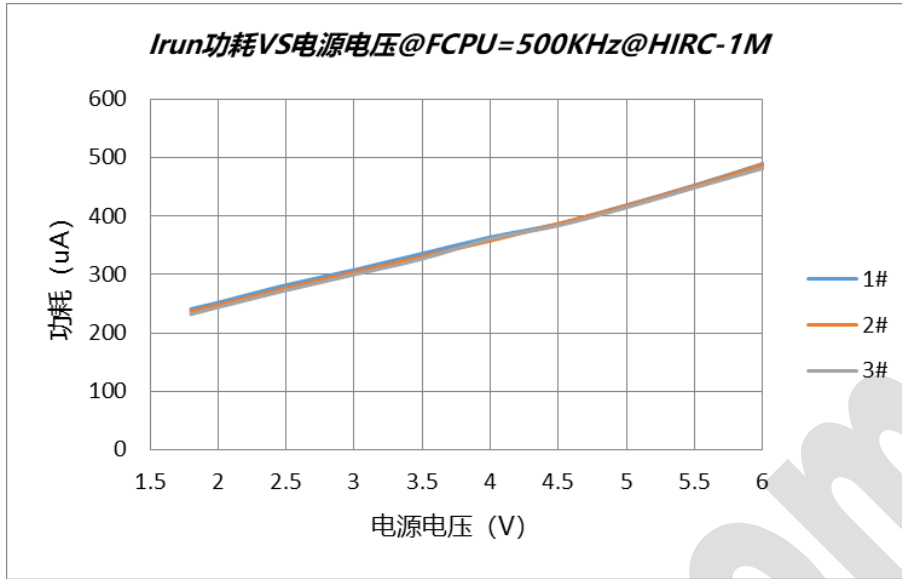


### 10.2 功耗特性

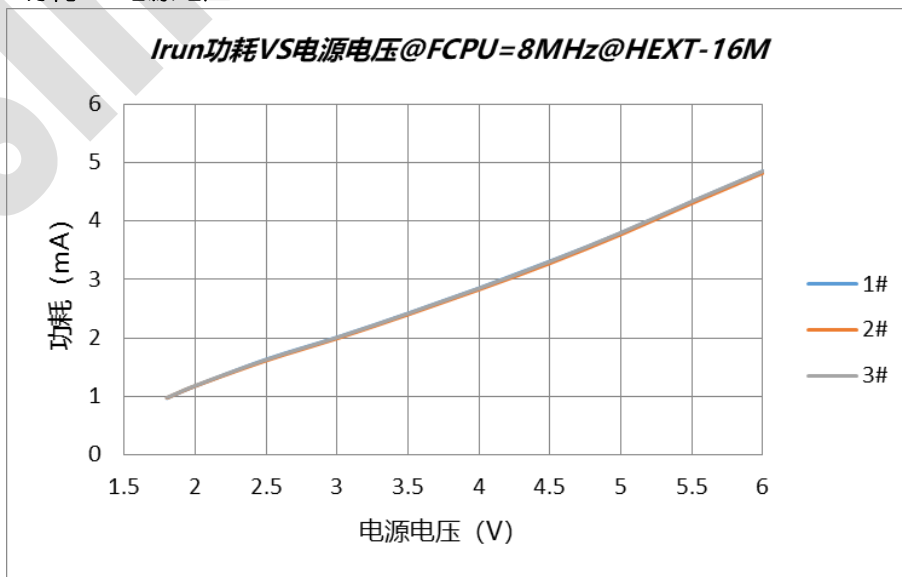
运行模式@HIRC 功耗 VS 电源电压

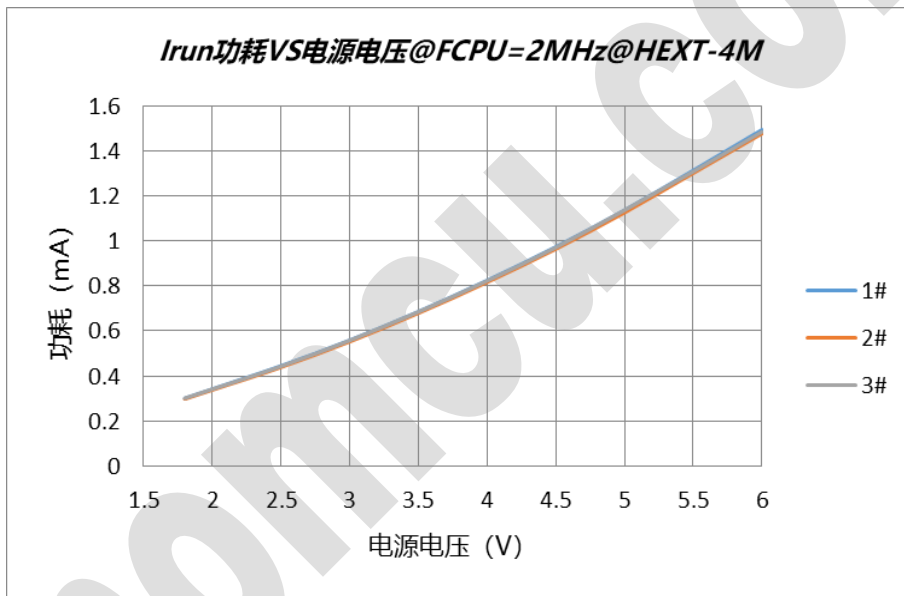
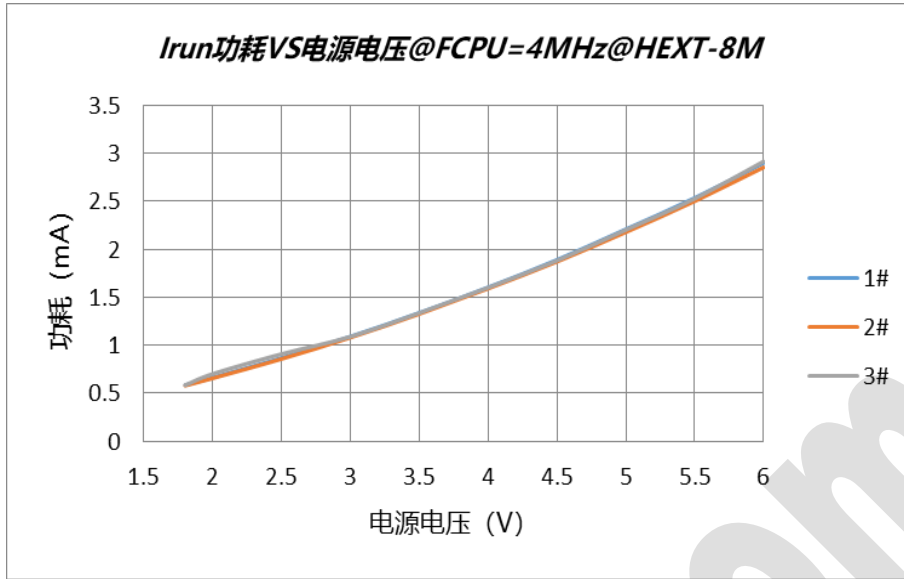




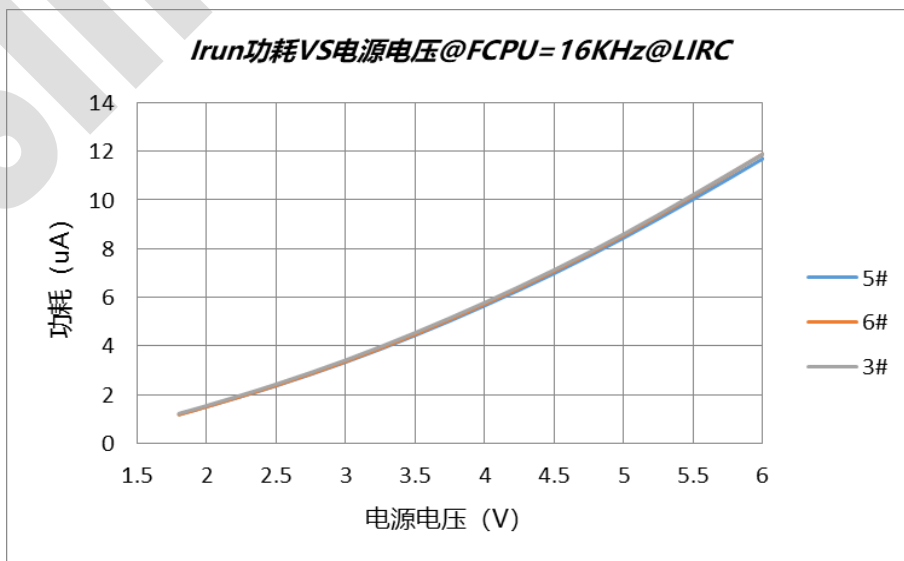


运行模式@HEXT 功耗 VS 电源电压



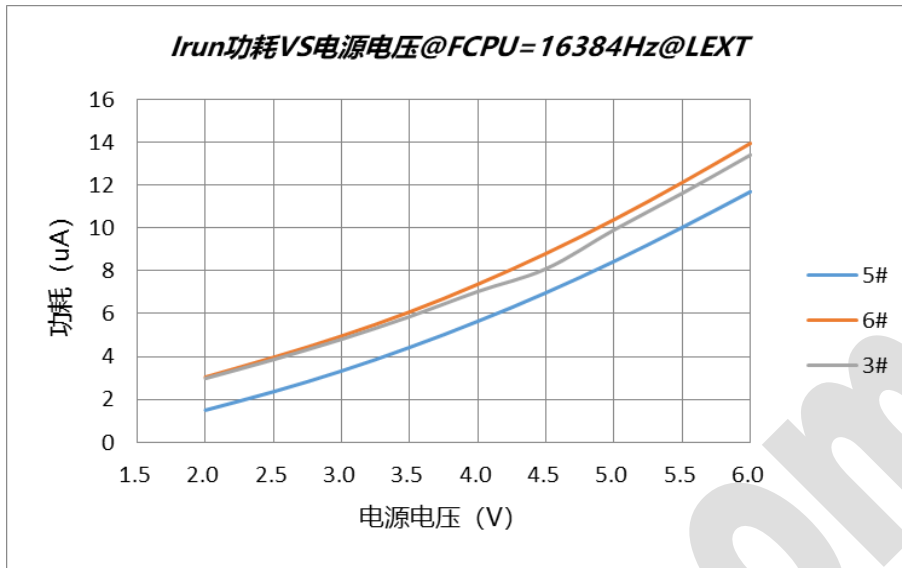


运行模式@LIRC 功耗 VS 电源电压

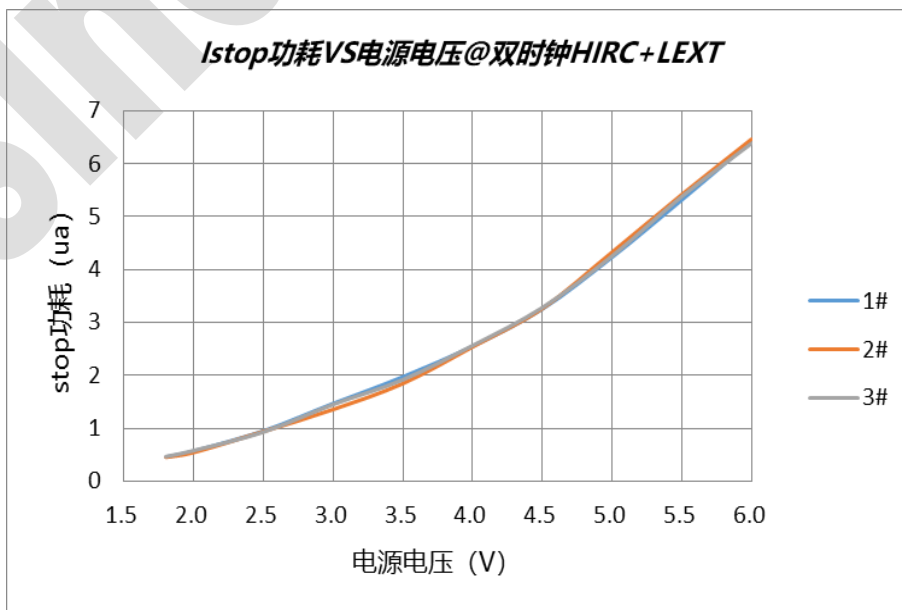
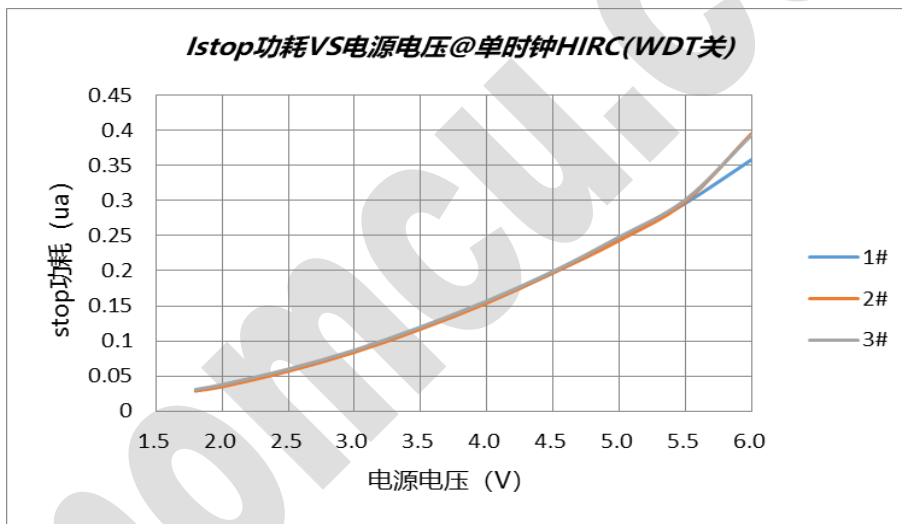


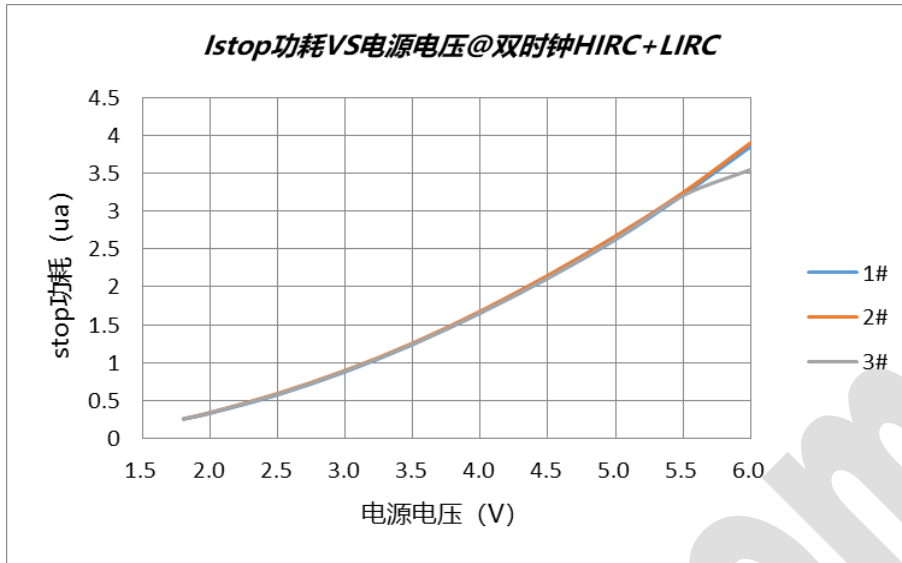


运行模式@LEXT 功耗 VS 电源电压



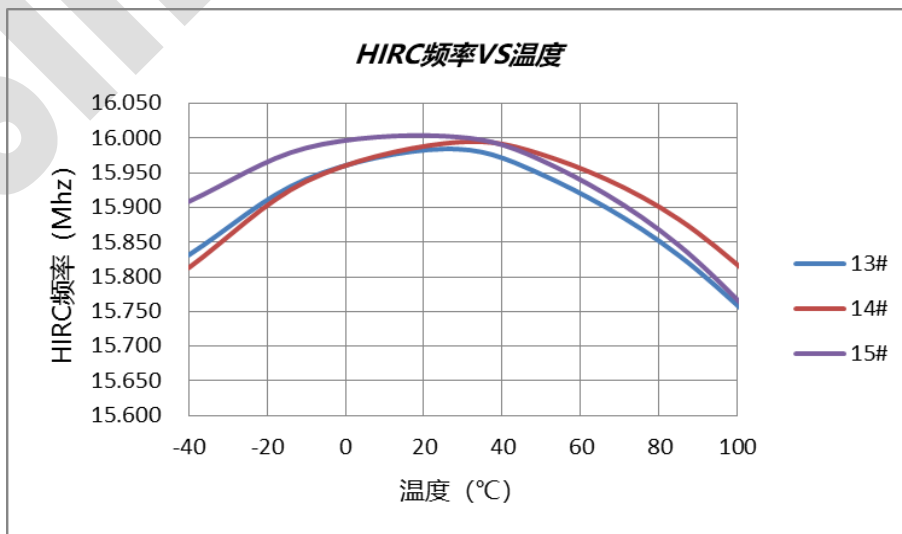
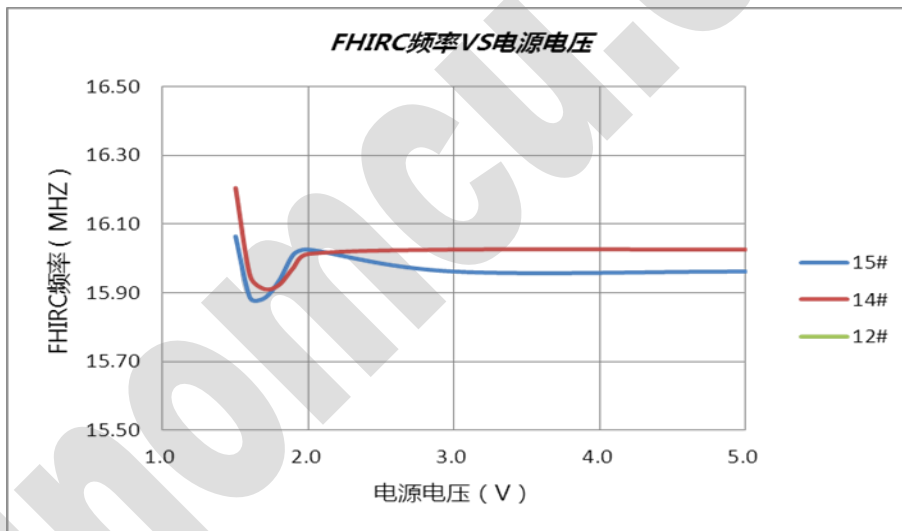
休眠模式 功耗 VS 电源电压





### 10.3 模拟电路特性

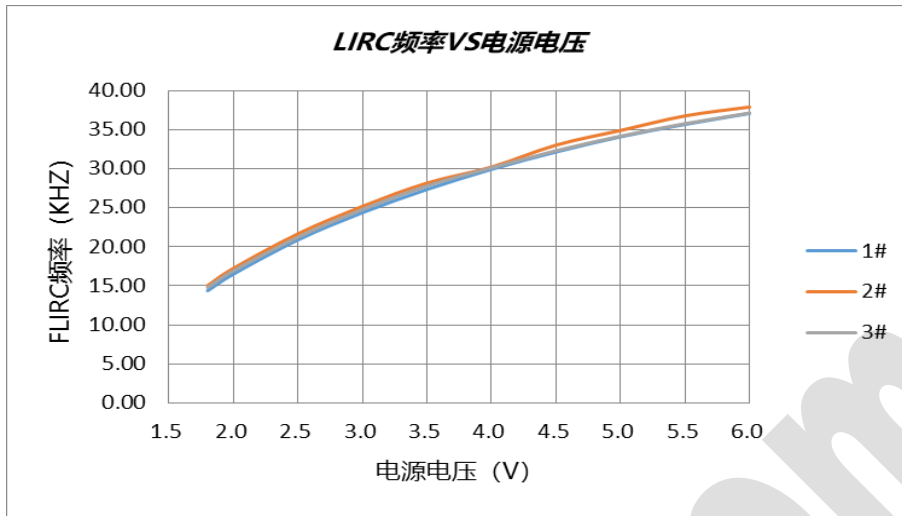
#### HIRC 频率 VS 电源电压/温度



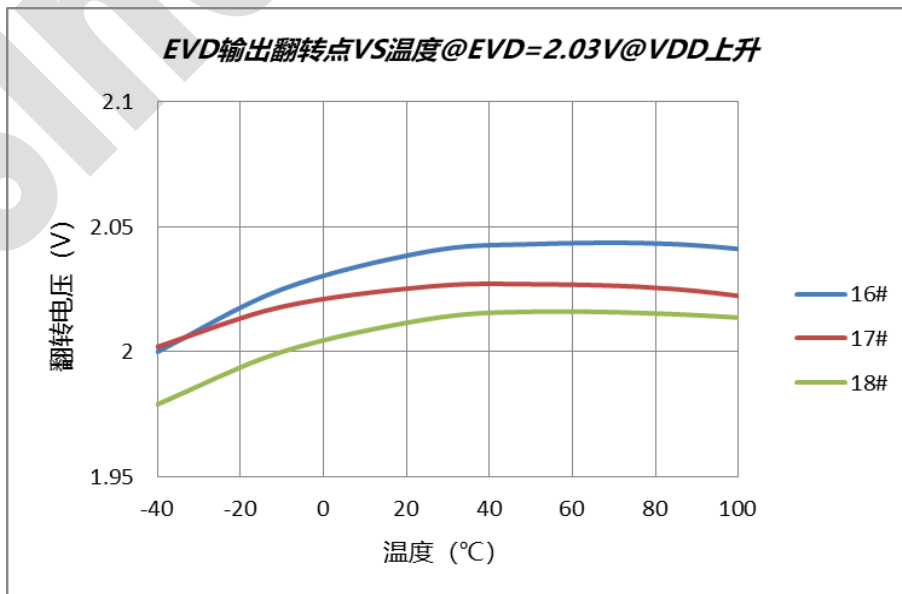
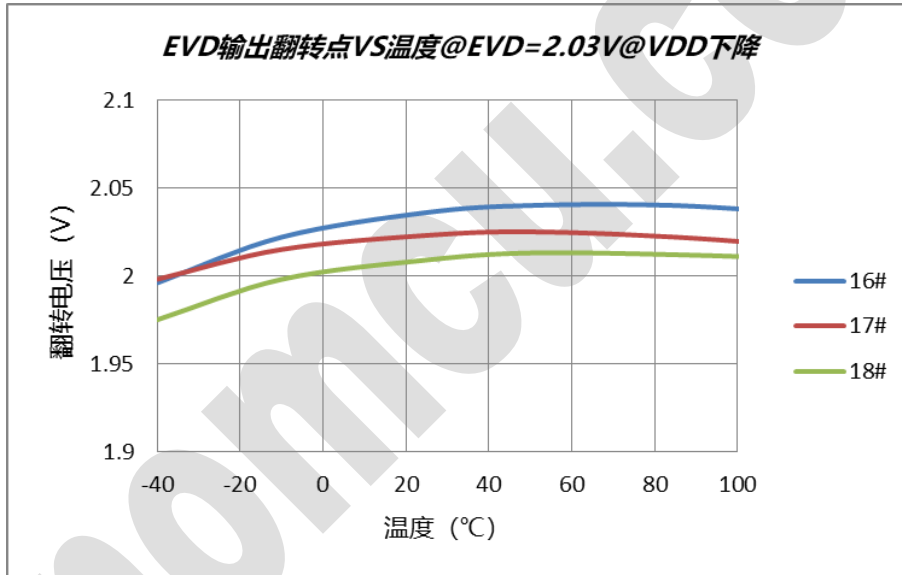


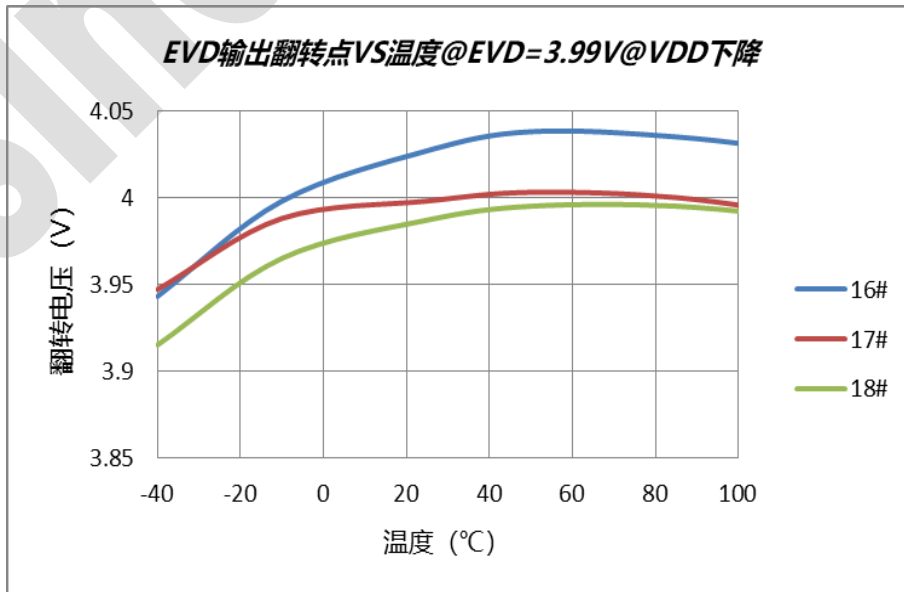
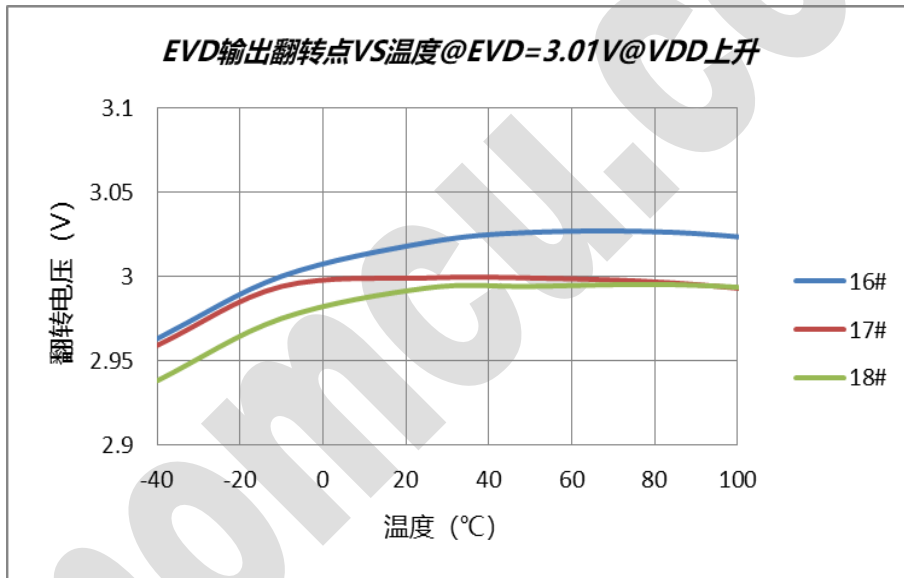
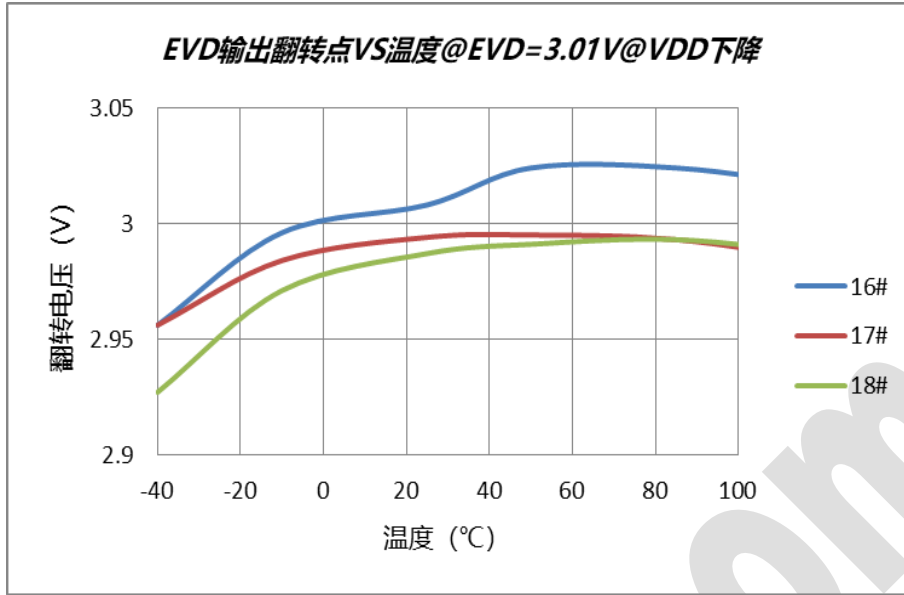


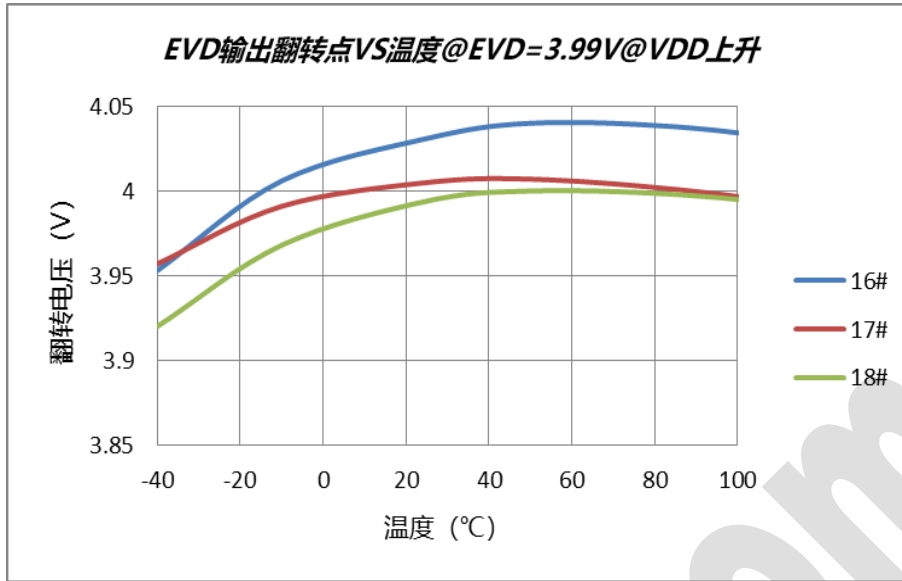
LIRC 频率 VS 电源电压



CMP 电压检测 (EVD) VS 温度





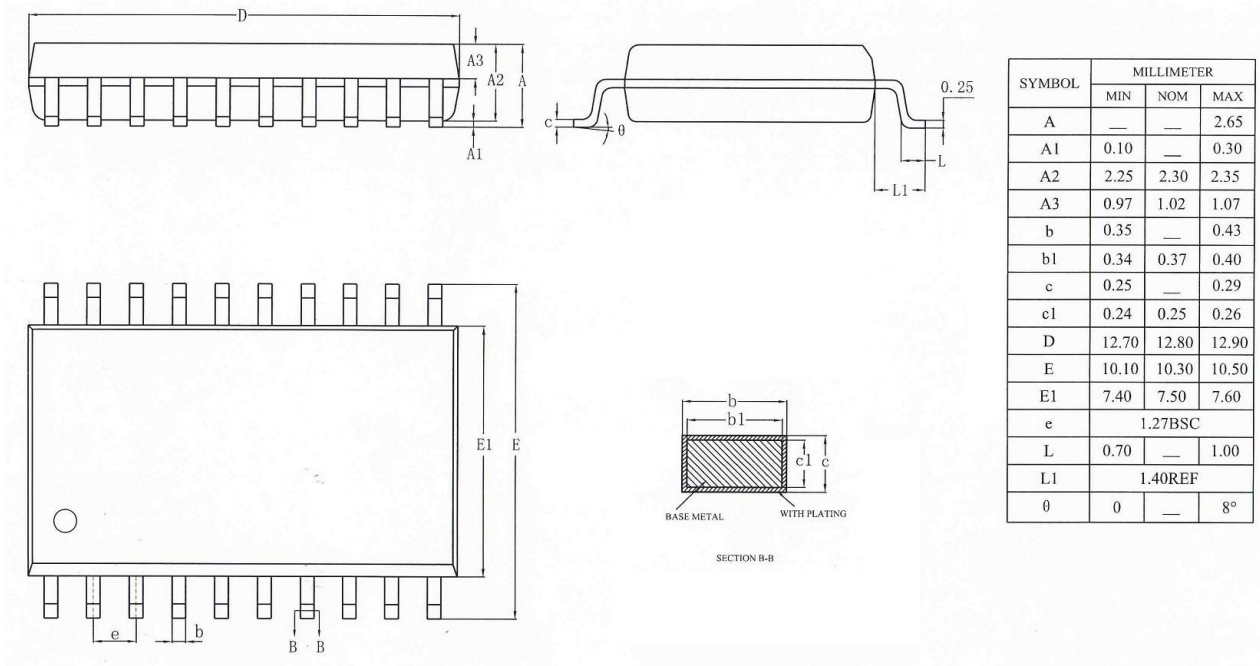


Shomcu.com

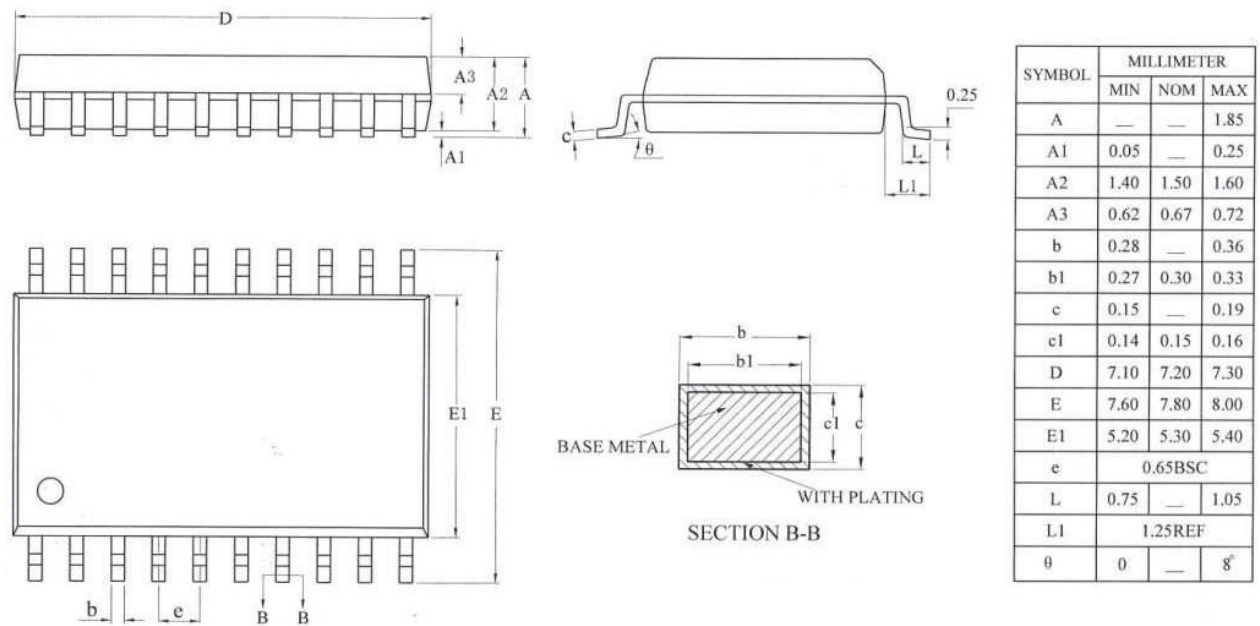


## 11 封装尺寸

### 11.1 SOP20

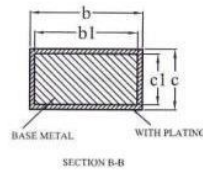
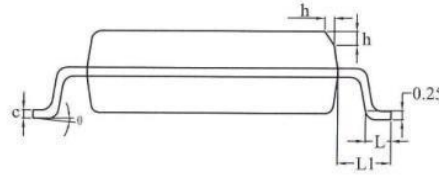
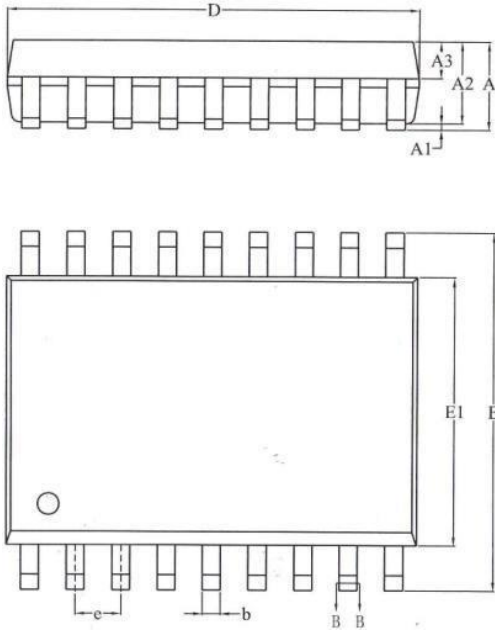


### 11.2 SSOP20 (e=0.65)



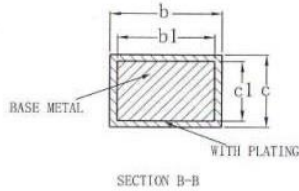
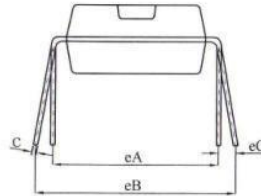
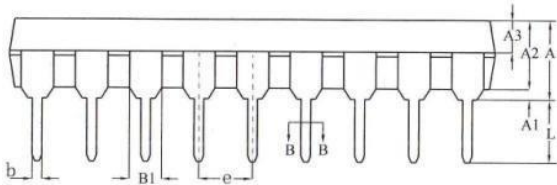


### 11.3 SOP18



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	2.65
A1	0.10	—	0.30
A2	2.20	2.30	2.40
A3	0.97	1.02	1.07
b	0.35	—	0.43
b1	0.34	0.37	0.40
c	0.25	—	0.29
c1	0.24	0.25	0.26
D	11.35	11.45	11.55
E	10.10	10.30	10.50
E1	7.40	7.50	7.60
e	1.27BSC		
L	0.70	—	1.00
L1	1.40REF		
h	0.25	—	0.75
θ	0	—	8°

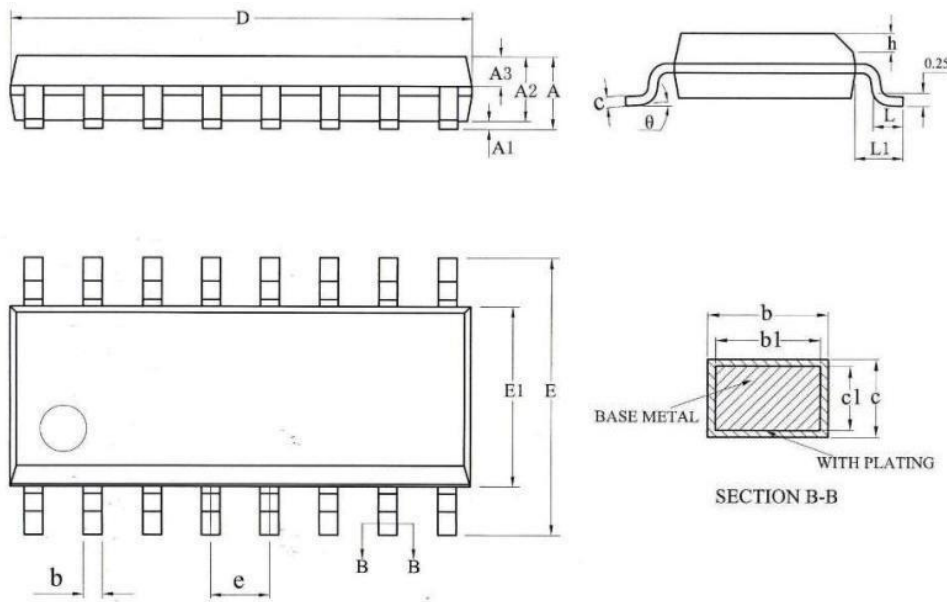
### 11.4 DIP18



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	3.60	3.80	4.00
A1	0.51	—	—
A2	3.20	3.30	3.40
A3	1.47	1.52	1.57
b	0.44	—	0.52
b1	0.43	0.46	0.49
B1	1.52REF		
c	0.25	—	0.29
c1	0.24	0.25	0.26
D	22.80	22.90	23.00
E1	6.45	6.55	6.65
e	2.54BSC		
eA	7.62REF		
eB	7.62	—	9.30
eC	0	—	0.84
L	3.00	—	—

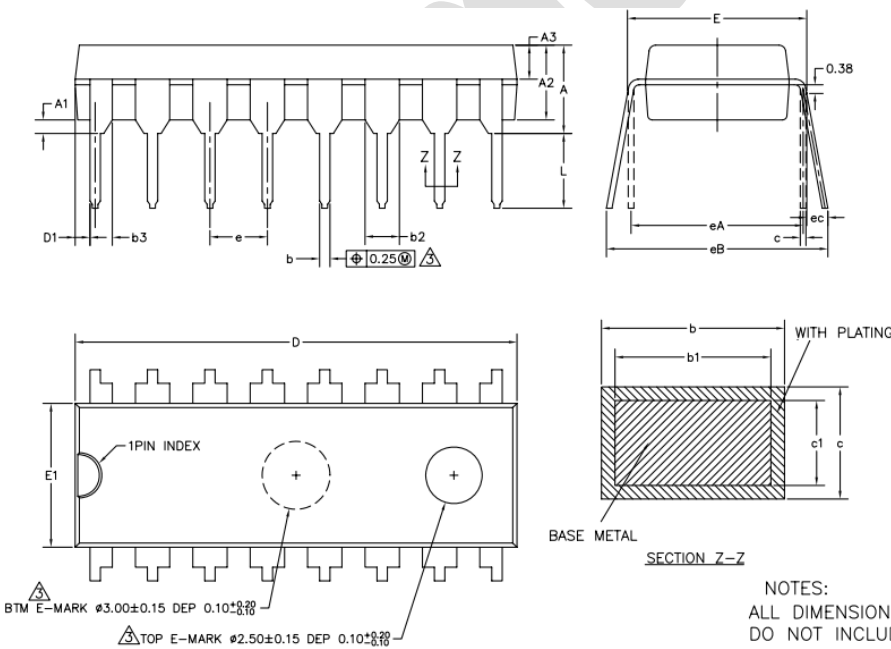


### 11.5 SOP16



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.75
A1	0.10	—	0.225
A2	1.30	1.40	1.50
A3	0.60	0.65	0.70
b	0.39	—	0.47
b1	0.38	0.41	0.44
c	0.20	—	0.24
c1	0.19	0.20	0.21
D	9.80	9.90	10.00
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.27BSC		
h	0.25	—	0.50
L	0.50	—	0.80
L1	1.05REF		
theta	0	—	8°

### 11.6 DIP16



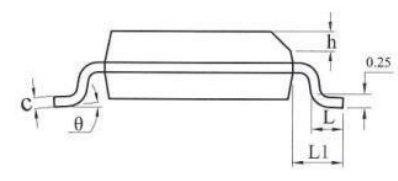
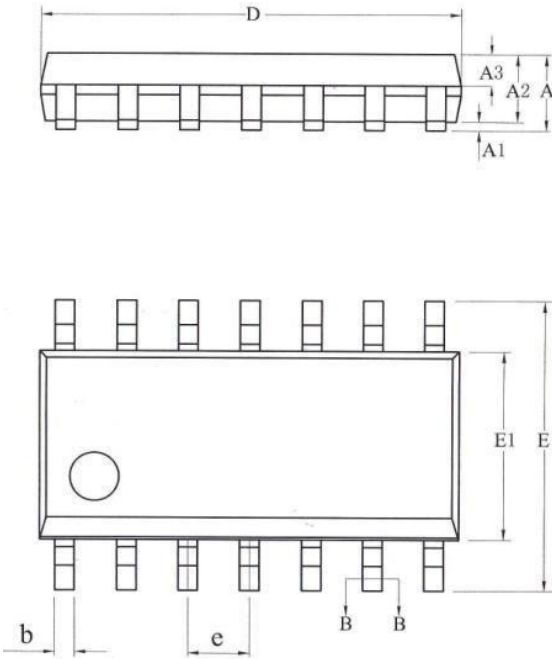
COMMON DIMENSIONS  
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	—	—	4.80
A1	0.50	—	—
A2	3.05	3.25	3.45
A3	1.40	1.50	1.60
b	0.38	—	0.55
b1	0.38	0.46	0.51
b2	1.47	1.52	1.57
b3	0.89	0.99	1.09
c	0.21	—	0.35
c1	0.20	0.25	0.28
D	19.20	19.30	19.40
D1	0.13	—	—
E	7.62	7.87	8.25
E1	6.25	6.35	6.45
e	2.54BSC		
eA	7.62BSC		
eB	7.87	8.80	10.90
ec	0	—	1.52
L	2.92	3.30	3.81

NOTES:  
ALL DIMENSIONS MEET JEDEC STANDARD MS-001 BB  
DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.

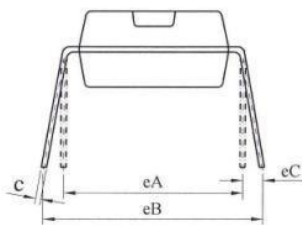
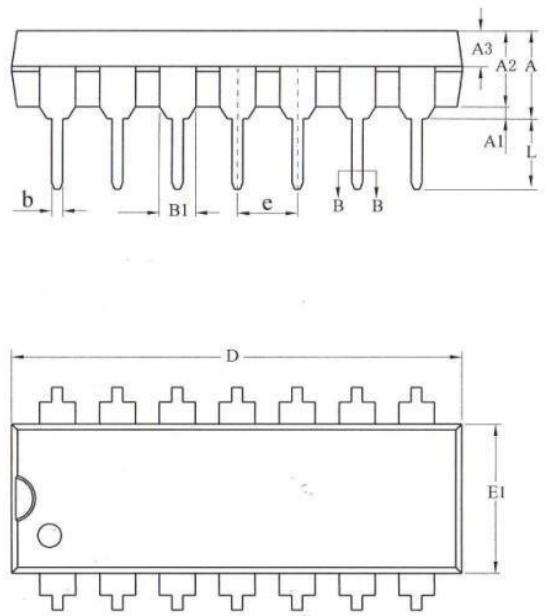


### 11.7 SOP14



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.75
A1	0.05	—	0.225
A2	1.30	1.40	1.50
A3	0.60	0.65	0.70
b	0.39	—	0.47
b1	0.38	0.41	0.44
c	0.20	—	0.24
c1	0.19	0.20	0.21
D	8.55	8.65	8.75
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.27BSC		
h	0.25	—	0.50
L	0.50	—	0.80
L1	1.05REF		
θ	0	—	8°

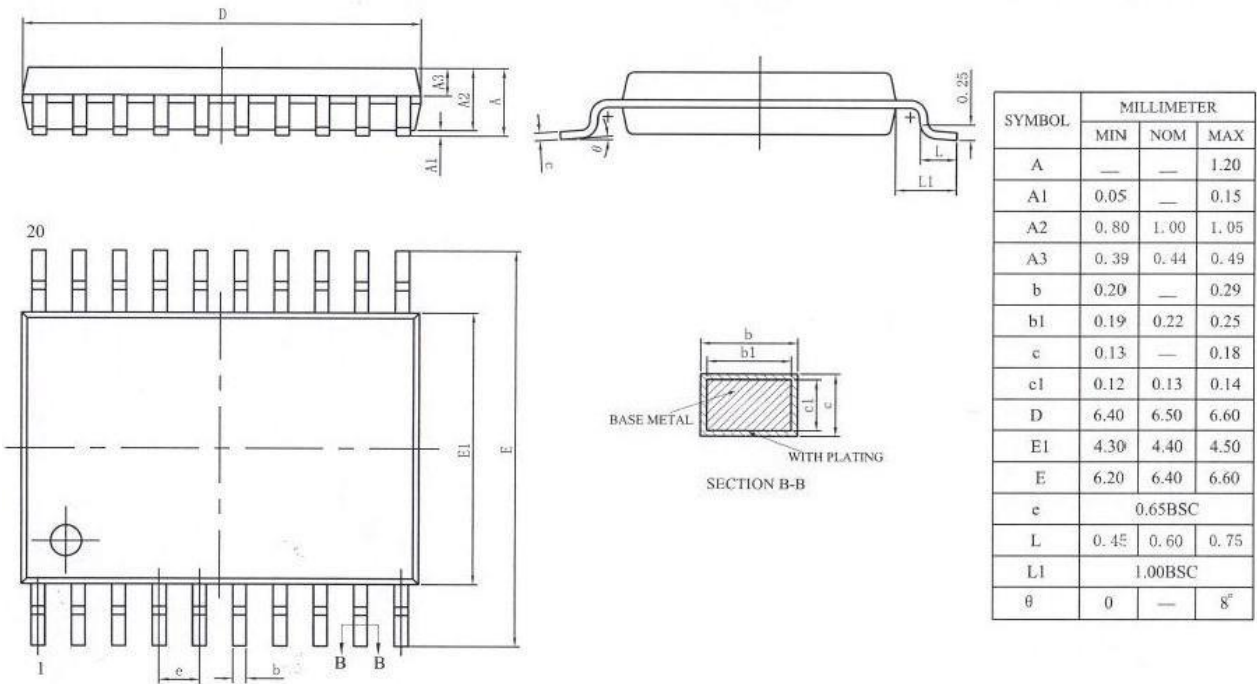
### 11.8 DIP14



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	3.60	3.80	4.00
A1	0.51	—	—
A2	3.20	3.30	3.40
A3	1.47	1.52	1.57
b	0.44	—	0.52
b1	0.43	0.46	0.49
B1	1.52REF		
c	0.25	—	0.29
c1	0.24	0.25	0.26
D	19.00	19.10	19.20
E1	6.25	6.35	6.45
e	2.54BSC		
eA	7.62REF		
eB	7.62	—	9.30
eC	0	—	0.84
L	3.00	—	—



### 11.9 TSSOP20



Sinomcu





## 12 修订记录

版本	日期	修订内容
V1.0	2020-08-27	发布初版；
V1.1	2023-03-30	新增 TSSOP20 封装 A0Y；修正 SSOP20 封装 A0R 尺寸图； 更新字体、水印、标识等文档格式；