

晟矽微电 8 位单片机

MC32P7031

用户手册

V2.0





目录

1	产品概要	4
1.1	产品特性	4
1.2	订购信息	5
1.3	引脚排列	5
1.4	端口说明	6
2	电气特性	8
2.1	极限参数	8
2.2	直流电气特性	8
2.3	交流电气特性	9
2.4	ADC 特性参数	10
3	CPU 与存储器	11
3.1	指令集	11
3.2	程序存储器	12
3.3	数据存储器	13
3.4	堆栈	14
3.5	控制寄存器	15
3.6	用户配置字	18
4	系统时钟	19
4.1	内部高频 RC 振荡器	19
4.2	内部低频 RC 振荡器	20
4.3	外部晶体振荡器	20
4.4	外部 RC 振荡器	20
5	系统工作模式	21
5.1	高速模式	23
5.2	低速模式	23
5.3	休眠模式	23
5.4	空闲模式（绿色模式）	24
6	复位	25
6.1	复位条件	25
6.2	上电复位	26
6.3	外部复位	26
6.4	低电压复位	26
6.5	看门狗复位	26
7	I/O 端口	27
7.1	通用 I/O 功能	27
7.2	内部上拉电阻	28
7.3	端口模式控制	29
8	定时器 TIMER	30
8.1	看门狗定时器 WDT	30
8.2	定时器 T0	30
8.3	定时器 T1	33



8.4	定时器 T2.....	35
9	模数转换器 ADC.....	38
9.1	ADC 概述.....	38
9.2	ADC 相关寄存器.....	38
9.3	ADC 操作步骤.....	40
9.4	ADC 操作说明和注意事项.....	41
10	中断.....	43
10.1	外部中断.....	43
10.2	定时器中断.....	43
10.3	ADC 中断.....	44
10.4	中断相关寄存器.....	44
11	特性曲线.....	46
11.1	I/O 特性.....	46
11.2	功耗特性.....	48
11.3	模拟电路特性.....	49
12	封装尺寸.....	58
12.1	SOP16.....	58
12.2	DIP16.....	58
12.3	SOP14.....	59
12.4	DIP14.....	59
12.5	SOP8.....	60
12.6	DIP8.....	60
12.7	MSOP10.....	61
12.8	MSOP8.....	61
13	修订记录.....	62



1 产品概要

1.1 产品特性

■ 8 位 CPU 内核

- ◇ 精简指令集，4 级缓存寄存器型堆栈
- ◇ CPU 为双时钟，可在系统高/低频时钟之间切换
- ◇ 系统高频时钟下 F_{CPU} 可配置为 F_{HOSC} 的 2/4/8/16/32/64/128 分频
- ◇ 系统低频时钟下 F_{CPU} 固定为 F_{LOSC} 的 4 分频

■ 存储器

- ◇ 2K×16 位 OTP 型程序存储器，可通过间接寻址读取程序存储器内容
- ◇ 128 字节 SRAM 型通用数据存储器，支持直接寻址、间接寻址等多种寻址方式

■ 3 组共 14 个 I/O

- ◇ P0 (P00~P04)，P4 (P40~P45)，P5 (P52~P54)
- ◇ 所有端口均支持施密特输入，除 P04 外均支持推挽输出
- ◇ P04 为输入/开漏输出口，可复用为外部复位 RST 输入，编程时为高压 VPP 输入
- ◇ P03/P02 可复用为外部时钟振荡器输入/输出
- ◇ 所有端口均内置上拉电阻，均可单独使能
- ◇ P00/P01 可复用为外部中断输入，支持外部中断唤醒功能
- ◇ P0 所有端口均支持输入电平变化唤醒功能

■ 系统时钟源

- ◇ 内置高频 RC 振荡器 (16MHz/8MHz/4MHz/2MHz/1MHz/455KHz)，可用作系统高频时钟源
- ◇ 支持外接高频晶体振荡器 (455KHz/4MHz~16MHz)，可用作系统高频时钟源
- ◇ 支持外接 RC 振荡器 (0~4MHz)，可用作系统高频时钟源
- ◇ 内置低频 RC 振荡器 (32KHz)，可用作系统低频时钟源
- ◇ 支持外接低频晶体振荡器 (32768Hz)，可用作系统高频或 RTC 时钟源

■ 系统工作模式

- ◇ 高速模式：CPU 在高频时钟下运行，低频时钟源工作
- ◇ 低速模式：CPU 在低频时钟下运行，高频时钟源可选停止或工作
- ◇ 空闲模式（低功耗模式）：CPU 暂停，高频时钟源可选停止或工作，低频时钟源工作
- ◇ 休眠模式（低功耗模式）：CPU 暂停，高/低频时钟源均停止

■ 内部自振式看门狗计数器 (WDT)

- ◇ 溢出时间：8192 / 内部低频 RC 振荡器频率 (F_{LIRC})，约为 256ms@VDD=5V
- ◇ 工作模式可配置：始终开启、始终关闭、低功耗模式下关闭

■ 3 个定时器

- ◇ 8 位定时器 T0，可实现外部计数、BUZ 和 PWM 功能，支持空闲模式下溢出唤醒
- ◇ 8 位定时器 T1，可实现外部计数、BUZ 和 PWM 功能
- ◇ 8 位定时器 T2，可实现 RTC 计数、BUZ 和 PWM 功能，支持空闲和休眠模式下溢出唤醒

■ 1 个 12 位高精度 SAR 型 ADC

- ◇ 6 路外部通道：AIN0~AIN4/AIN6；1 路内部通道：VDD/4
- ◇ 参考电压可选：VDD、内部参考电压 V_{IR} (2V/3V/4V)、外部参考电压 V_{ER} (VREFH 输入)
- ◇ ADC 时钟：F_{CPU} 的 1/2/8/16 分频



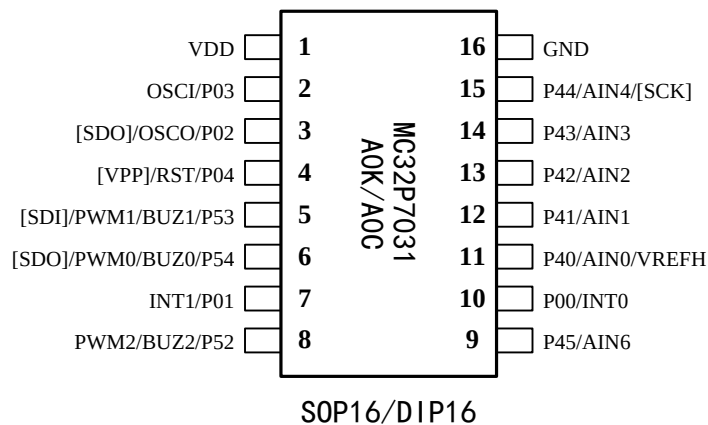
- 中断
 - ◇ 外部中断 (INT0~INT1)
 - ◇ 定时器中断 (T0~T2)
 - ◇ ADC 中断
- 低电压检测 LVD
 - ◇ 1.8V/关闭/2.0V/2.1V/2.2V/2.4V/2.5V/2.6V/2.7V/2.8V/3.0V/3.2V/3.3V/3.6V/4.0V/4.2V
- 低电压复位 LVR
 - ◇ 1.8V/2.0V/2.2V/2.4V/2.5V/2.6V/2.7V/2.8V/3.0V/3.2V/3.6V/3.8V
- 工作电压 (@HIRC)
 - ◇ $V_{LVR30} \sim 5.5V @ F_{cpu} = 0 \sim 8MHz$
 - ◇ $V_{LVR27} \sim 5.5V @ F_{cpu} = 0 \sim 4MHz$
 - ◇ $V_{LVR20} \sim 5.5V @ F_{cpu} = 0 \sim 2MHz$
- 封装形式
 - ◇ SOP16/DIP16/SOP14/DIP14/SOP8/DIP8/MSOP10/MSOP8

1.2 订购信息

产品名称	封装形式	备注
MC32P7031A0K	SOP16	
MC32P7031A0C	DIP16	
MC32P7031A0J	SOP14	
MC32P7031A0B	DIP14	
MC32P7031A0H	SOP8	
MC32P7031A0A	DIP8	
MC32P7031A0I	MSOP10	
MC32P7031A0F	MSOP8	

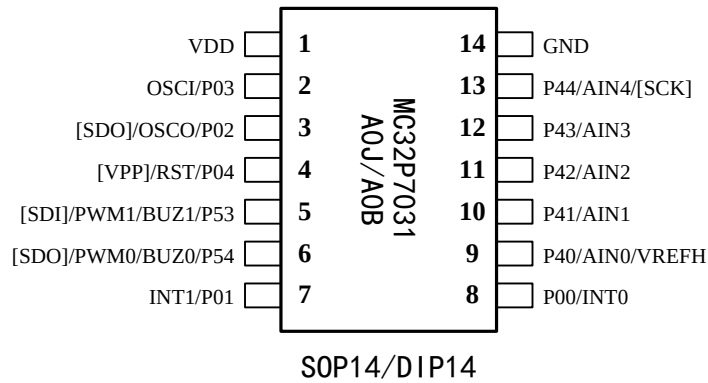
1.3 引脚排列

MC32P7031A0K/A0C

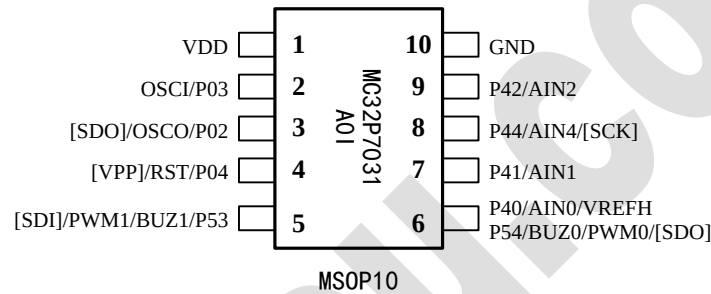




MC32P7031A0J/A0B

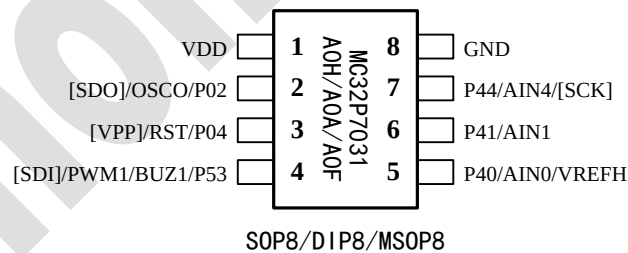


MC32P7031A0I



注：若封装中有引脚为多个 I/O 端口共用，则应用时需确保共用引脚的端口在工作模式、内部上/下拉电阻、复用功能、数模端口等设置上相互之间不会产生冲突。

MC32P7031A0H/A0A/A0F



1.4 端口说明

端口名称	类型	功能说明
VDD	P	电源
GND	P	地
P0(除 P04), P4, P5	D	GPIO (推挽输出), 内部上拉
P04	D	GPIO (开漏输出), 内部上拉



INT0~INT1	DI	外部中断输入；定时器 T0~T1 的外部计数输入
PWM0/BUZ0	DO	定时器 T0 的 PWM/BUZ 输出
PWM1/BUZ1	DO	定时器 T1 的 PWM/BUZ 输出
PWM2/BUZ2	DO	定时器 T2 的 PWM/BUZ 输出
AIN0~AIN4, AIN6	AI	ADC 外部输入通道
VREFH	AI	ADC 外部参考电压输入
OSCI, OSCO	A	外部时钟振荡器输入/输出
RST	DI	外部复位输入
SCK, SDI, SDO	D	编程时钟/数据输入/数据输出接口
VPP	P	编程高压输入

注：P-电源端口；D-数字端口，DI-数字输入，DO-数字输出；A-模拟端口，AI-模拟输入，AO-模拟输出。



2 电气特性

2.1 极限参数

参数	符号	值	单位
电源电压	VDD	-0.3~6.0	V
I/O 输入电压	V _{in}	-0.3~VDD+0.3	V
工作温度	T _a	-40~85	°C
储存温度	T _{stg}	-65~150	°C
流入 VDD 最大电流	IVDDmax	40	mA
流出 GND 最大电流	IGNDmax	40	mA

注：若芯片工作条件超过极限值，则会造成永久性损坏；若芯片长时间工作在极限条件下，则会影响其可靠性。

2.2 直流电气特性

VDD=5V, T=25°C

特性	符号	端口	条件	最小	典型	最大	单位
工作电压	VDD	VDD	F _{cpu} =8MHz@F _{HIRC} (16M)/2	V _{LVR30}		5.5	V
			F _{cpu} =4MHz@F _{HIRC} (16M)/4	V _{LVR27}		5.5	
			F _{cpu} =2MHz@F _{HIRC} (16M)/8	V _{LVR20}		5.5	
			F _{cpu} =1MHz@F _{HIRC} (16M)/16	V _{LVR20}		5.5	
			F _{cpu} =500KHz@F _{HIRC} (16M)/32	V _{LVR20}		5.5	
输入漏电流	I _{leak}	所有输入脚	VDD=5V	-1		1	μA
输入高电平	V _{ih}	所有输入脚		0.8VDD			V
输入低电平	V _{il}	所有输入脚				0.2VDD	V
上拉电阻	R _{pu}	P0, P4, P5	VDD=5V, V _{in} =0		70		KΩ
			VDD=3V, V _{in} =0		140		
输出源电流	I _{oh}	推挽输出脚	V _{oh} =VDD-0.5V	6	12	24	mA
输出灌电流	I _{ol}	所有输出脚	V _{ol} =0.5V	8	16	32	mA
高速模式功耗	I _{high}	VDD	VDD=5V, F _{cpu} =1MHz@HIRC		1.3		mA
			VDD=3V, F _{cpu} =1MHz@HIRC		0.8		mA
低速模式功耗	I _{low}	VDD	VDD=5V, F _{cpu} =8KHz@LIRC, HIRC 开		500		μA
			VDD=5V, F _{cpu} =8KHz@LIRC, HIRC 关		5	10	μA
			VDD=3V, F _{cpu} =8KHz@LIRC, HIRC 关		2	4	μA
空闲模式功耗	I _{idle}	VDD	VDD=5V, 空闲模式, LVR/LVD 关		3	6	μA
			VDD=3V, 空闲模式, LVR/LVD 关		1	3	μA
			VDD=5V, 空闲模式, LVR/LVD 开		4	8	μA



休眠模式功耗	Istop	VDD	VDD=5V, 休眠模式, LVR/LVD 关		0.1	1	μA
			VDD=5V, 休眠模式, LVR/LVD 开		1	3	μA
低压检测电压	VLVD	VDD	LVDVS=0001(LVD 关闭)	-15%	1.2	+15%	V
			LVDVS=其他	-15%		+15%	
低压复位电压	VLVR	VDD	LVRVS 配置	-15%		+15%	V
LVD/LVR 回滞电压		VDD			6%	12%	

注：条件项中，无关模块默认关闭，无关端口设为低电平无负载输出或内部上/下拉电阻无效且外接 GND 的输入。

2.3 交流电气特性

特性	符号	条件	最小	典型	最大	单位
HIRC 振荡频率	FHIRC1	VDD=5V, T=25°C	-2%	16	+2%	MHz
		VDD=2.0V~5.5V, T=-40°C~85°C	-5%		+5%	
	FHIRC2	VDD=5V, T=25°C	-2%	8	+2%	MHz
		VDD=2.0V~5.5V, T=-40°C~85°C	-8%		+8%	
	FHIRC3	VDD=5V, T=25°C	-2%	4	+2%	MHz
		VDD=2.0V~5.5V, T=-40°C~85°C	-10%		+10%	
	FHIRC4	VDD=5V, T=25°C	-2%	2	+2%	MHz
		VDD=2.0V~5.5V, T=-40°C~85°C	-20%		+20%	
	FHIRC5	VDD=5V, T=25°C	-2%	1	+2%	MHz
		VDD=2.0V~5.5V, T=-40°C~85°C	-20%		+20%	
	FHIRC6	VDD=5V, T=25°C	-2%	455	+2%	KHz
		VDD=2.0V~5.5V, T=-40°C~85°C	-20%		+20%	
LIRC 振荡频率	FLIRC	VDD=5V, T=25°C	-50%	32	+50%	KHz
16M 晶振起振电压		T=25°C	3.0			V
8M 晶振起振电压		T=25°C	2.3			V
4M 晶振起振电压		T=25°C	2.0			V
455K 晶振起振电压		T=25°C	2.0			V
32768 晶振起振电压		T=25°C	1.8			V
32768 晶振起振时间		VDD=5V, T=25°C		1		s
外部 RC 振荡频率	FERC1	VDD=5V, T=25°C, R=1KΩ, C=100pF	-50%	3.4	+50%	MHz
	FERC2	VDD=5V, T=25°C, R=3KΩ, C=100pF	-50%	1.3	+50%	MHz
	FERC3	VDD=5V, T=25°C, R=1KΩ, C=1000pF	-50%	590	+50%	KHz



2.4 ADC 特性参数

VDD=5V, T=25°C

特性	符号	条件	最小	典型	最大	单位
ADC 有效工作电压	V _{ADC}	T=-40°C~85°C	2.0		5.5	V
积分非线性误差	INL	V _{REF} =VDD, F _{ADC} =500KHz			±3	LSB
微分非线性误差	DNL	V _{REF} =VDD, F _{ADC} =500KHz			±3	LSB
零点偏移误差	EZ	V _{REF} =VDD, F _{ADC} =500KHz			±3	LSB
增益误差	ET	V _{REF} =VDD, F _{ADC} =500KHz			±3	LSB
转换精度	ACC	V _{REF} =VDD, F _{ADC} =2MHz			±4	LSB
		V _{REF} =V _{ER} (2.5V), F _{ADC} =1MHz			±4	LSB
		V _{REF} =V _{IR} (2V/3V/4V), F _{ADC} =500KHz			±8	LSB
转换时钟	F _{ADC}	VDD=5V			1	MHz
转换时间	T _{con}		16		27	1/F _{ADC}
ADC 输入电压	V _{AIN}		GND		V _{REF}	V
ADC 输入阻抗	R _{AIN}		2			MΩ
ADC 输入电流	I _{AIN}				10	μA
ADC 动态电流	I _{ADD}	VDD=5V, AD 转换中		1	3	mA
ADC 静态电流	I _{ADS}	VDD=5V, ADC 关闭		0.1	1	μA
模拟信号源推荐阻抗	Z _{AIN}				10	KΩ
失调电压	VOS	V _{REF} =VDD, F _{ADC} =500KHz	-2		+2	mV
		V _{REF} =VDD, F _{ADC} =1MHz	-10		+10	
内部 1/4 分压电阻总值	R _{VDDI}	V _{in} =VDD=2.0V~5.5V	16	24	32	KΩ
电阻分压比值			-1%	1/4	+1%	VDD
ADC 参考电压	V _{REF}	选择 VDD		VDD		V
		选择内部参考电压 V _{IR} , T=25°C	-1.5%	2/3/4	+1.5%	
		选择内部参考电压 V _{IR} , T=-40°C~85°C	-3%		+3%	
		选择外部参考电压 V _{ER}	2		VDD	
V _{IR} 有效工作电压	V _{VIR}	选择内部参考电压 V _{IR}	V _{IR} +0.5		5.5	V



3 CPU 与存储器

3.1 指令集

芯片的指令集为精简指令集。所有指令均为单字指令，即指令码仅占用 1 个程序存储器地址空间。

指令汇总表

助记符	说明	操作	周期	标志
ADDAR R	A 和 R 相加，结果存入 A	$A+R \rightarrow A$	1	C, DC, Z
ADDRA R	A 和 R 相加，结果存入 R	$A+R \rightarrow R$	1+M	C, DC, Z
ADCAR R	A 和 R 相加（带 C 标志），结果存入 A	$A+R+C \rightarrow A$	1	C, DC, Z
ADCRA R	A 和 R 相加（带 C 标志），结果存入 R	$A+R+C \rightarrow R$	1+M	C, DC, Z
ASUBAR R	A 和 R 相减，结果存入 A	$A-R \rightarrow A$	1	C, DC, Z
ASUBRA R	A 和 R 相减，结果存入 R	$A-R \rightarrow R$	1+M	C, DC, Z
ASBCAR R	A 和 R 相减（带 C 标志），结果存入 A	$A-R-/C \rightarrow A$	1	C, DC, Z
ASBCRA R	A 和 R 相减（带 C 标志），结果存入 R	$A-R-/C \rightarrow R$	1+M	C, DC, Z
ANDAR R	A 和 R 与操作，结果存入 A	$A \text{ and } R \rightarrow A$	1	Z
ANDRA R	A 和 R 与操作，结果存入 R	$A \text{ and } R \rightarrow R$	1+M	Z
ORAR R	A 和 R 或操作，结果存入 A	$A \text{ or } R \rightarrow A$	1	Z
ORRA R	A 和 R 或操作，结果存入 R	$A \text{ or } R \rightarrow R$	1+M	Z
XORAR R	A 和 R 异或操作，结果存入 A	$A \text{ xor } R \rightarrow A$	1	Z
XORRA R	A 和 R 异或操作，结果存入 R	$A \text{ xor } R \rightarrow R$	1+M	Z
RLAR R	R 循环左移（带 C 标志），结果存入 A	$R[7] \rightarrow C; R[6:0] \rightarrow A[7:1]; C \rightarrow A[0]$	1	C
RLR R	R 循环左移（带 C 标志），结果存入 R	$R[7] \rightarrow C; R[6:0] \rightarrow R[7:1]; C \rightarrow R[0]$	1+M	C
RRAR R	R 循环右移（带 C 标志），结果存入 A	$R[0] \rightarrow C; R[7:1] \rightarrow A[6:0]; C \rightarrow A[7]$	1	C
RRR R	R 循环右移（带 C 标志），结果存入 R	$R[0] \rightarrow C; R[7:1] \rightarrow R[6:0]; C \rightarrow R[7]$	1+M	C
SWAPAR R	交换 R 的高低半字节，结果存入 A	$R[7:4] \rightarrow A[3:0]; R[3:0] \rightarrow A[7:4]$	1	-
SWAPR R	交换 R 的高低半字节，结果存入 R	$R[7:4] \rightarrow R[3:0]; R[3:0] \rightarrow R[7:4]$	1+M	-
MOVRA R	将 A 存入 R	$A \rightarrow R$	1	-
MOVAR R	将 R 存入 A	$R \rightarrow A$	1	Z
XCH R	交换 A 和 R	$A \rightarrow R; R \rightarrow A$	1+M	-
CLRR R	将 R 清零	$0 \rightarrow R$	1	Z
JZR R	R 自加 1：结果为 0 则跳过下一条指令	$R+1 \rightarrow R$ ；结果为 0 则 $PC+2 \rightarrow PC$	1+J+M	-
JZAR R	R 加 1，结果存入 A：结果为 0 则跳过下一条指令	$R+1 \rightarrow A$ ；结果为 0 则 $PC+2 \rightarrow PC$	1+J	-
DJZR R	R 自减 1：结果为 0 则跳过下一条指令	$R-1 \rightarrow R$ ；结果为 0 则 $PC+2 \rightarrow PC$	1+J+M	-
DJZAR R	R 减 1，结果存入 A：结果为 0 则跳过下一条指令	$R-1 \rightarrow A$ ；结果为 0 则 $PC+2 \rightarrow PC$	1+J	-
BCLR R, b	将 R 的第 b 位清 0	$0 \rightarrow R[b]$	1+M	-
BSET R, b	将 R 的第 b 位置 1	$1 \rightarrow R[b]$	1+M	-



JBCLR R, b	若 R 的第 b 位为 0, 则跳过下一条指令	若 R[b]=0, 则 PC+2→PC	1+J	-
JBSET R, b	若 R 的第 b 位为 1, 则跳过下一条指令	若 R[b]=1, 则 PC+2→PC	1+J	-
CMPR R	比较 A 和 R: 相等则跳过下一条指令	A-R: 结果为 0 则 PC+2→PC	1+J	C, Z
CMPI I	比较 A 和 I: 相等则跳过下一条指令	A-I: 结果为 0 则 PC+2→PC	1+J	C, Z
ADDAI I	A 和 I 相加, 结果存入 A	A+I→A	1	C, DC, Z
ASUBAI I	A 和 I 相减, 结果存入 A	A-I→A	1	C, DC, Z
ANDAI I	A 和 I 与操作, 结果存入 A	A and I→A	1	Z
ORAI I	A 和 I 或操作, 结果存入 A	A or I→A	1	Z
XORAI I	A 和 I 异或操作, 结果存入 A	A xor I→A	1	Z
MOVAI I	将 I 存入 A	I→A	1	-
CALL K	子程序调用	PC+1→TOS; K→PC[11:0]	2	-
GOTO K	无条件跳转	K→PC[11:0]	2	-
RETURN	从子程序返回	TOS→PC	2	-
RETIE	从中断返回	TOS→PC; 1→GIE	2	-
NOP	空操作	空操作	1	-
PUSH	缓存 A 和 C, DC, Z	A 和 PFLAG[2:0]→BUF	1	-
POP	恢复 A 和 C, DC, Z	BUF→A 和 PFLAG[2:0]	1	C, DC, Z
MOVC	读取程序存储器内容	ROM(@[FSR1:FSR0])→[HIBYTE:A]	2	-

注:

- 1、A-算术逻辑单元累加器 ALU, R-数据存储器, I-立即数, K-程序存储器地址, TOS-堆栈栈顶;
- 2、对于条件跳转类指令, 若跳转条件成立, 则 J=1, 否则 J=0;
- 3、部分访问数据存储器 R 的指令, 若目的寄存器为 GPR, 则 M=1, 若目的寄存器为 SFR, 则 M=0;
- 4、PUSH 和 POP 指令涉及的缓存器 BUF 仅有 1 层, 所以 PUSH/POP 必须成对使用, 否则将导致数据错误;
- 5、指令 JBSET/JBCLR/CMPR/JZR/JZAR/DJZR/DJZAR 对 IOP0/IOP4/IOP5 直接操作时, 因指令隐含的回写动作可能会改写寄存器中的其他位而导致发生不可预估的错误, 所以推荐先将 IOP0/IOP4/IOP5 读入缓存 RAM 中, 再用上述指令对缓存 RAM 的数据进行条件判断操作;

3.2 程序存储器

芯片的程序存储器为 OTP 型存储器, 2K×16 位的地址空间范围为 0000H~07FFH。程序存储器地址分配如下图所示:

复位起始地址 (0000H)
通用程序区 (0001H - 0007H)
中断入口地址 (0008H)
通用程序区 (0009H - 07FFFH)



程序存储器支持间接寻址，可通过 MOV_C 指令访问地址为 (FSR1×256+FSR0) 的程序存储器内容，高 8 位将缓存于寄存器 HIBYTE，低 8 位将缓存于寄存器 A。

例如，采用间接寻址读取程序存储器 0155H 地址中内容，高 8 位存入通用数据存储器 11H 地址中，低 8 位存入通用数据存储器 10H 地址中：

```

MOVAI    01H
MOVRA    FSR1          ; 将 01H 写入 FSR1
MOVAI    55H
MOVRA    FSR0          ; 将 55H 写入 FSR0
MOVC          ; 读取 (FSR1×256+FSR0) 所指地址的程序存储器中内容
              ; 高 8 位缓存于 HIBYTE，低 8 位缓存于 A
MOVRA    10H          ; 将 A 中缓存的低 8 位存入通用数据存储器 10H 地址中
MOVAR    HIBYTE        ; 读取 HIBYTE 中缓存的高 8 位
MOVRA    11H          ; 高 8 位存入通用数据存储器 11H 地址中
  
```

3.3 数据存储器

芯片的数据存储器包括通用数据存储器 GPR（128 字节）和特殊功能寄存器 SFR，地址映射如下表所示。GPR 和 SFR 均可直接寻址或通过 INDF 间接寻址。

数据存储器区地址映射表

地址	类型	0/8	1/9	2/A	3/B	4/C	5/D	6/E	7/F
00H-7FH	GPR	通用数据存储器区							
80H-87H	SFR			HIBYTE	FSR0	FSR1		PFLAG	
88H-8FH									
90H-97H									
98H-9FH									
A0H-A7H									
A8H-AFH								ANSEL	VREF
B0H-B7H			ADCR	ADRH	ADRL				
B8H-BFH		OEP0							PEDGE
C0H-C7H						OEP4	OEP5		
C8H-CFH		INTF	INTE	OSCM		WDTR	T0D	PCL	PCH
D0H-D7H		IOP0				IOP4	IOP5		
D8H-DFH		TXCR		T0CR	T0C	T1CR	T1C	T1D	STKP
E0H-E7H		PUP0				PUP4	PUP5		INDF
E8H-EFH						T2CR	T2C	T2D	
F0H-F7H									
F8H-FFH		STK3L	STK3H	STK2L	STK2H	STK1L	STK1H	STK0L	STK0H

注：上表中灰色部分的存储器地址为系统保留区，禁止对其中未定义的地址进行读写操作。



直接寻址方式，是以指令的低 8 位为数据存储器地址，通过指令访问，寻址范围 0~FFH。例如，采用直接寻址方式将数据 55H 写入数据存储器 10H 地址中：

```
MOVAI    55H
MOVRA    10H          ; 将 55H 写入数据存储器 10H 地址中
```

间接寻址方式，是以[FSR1:FSR0]为数据存储器地址指针，通过 INDF 访问，寻址范围 0~FFFFH。例如，采用间接寻址方式将数据 55H 写入数据存储器 0010H 地址中：

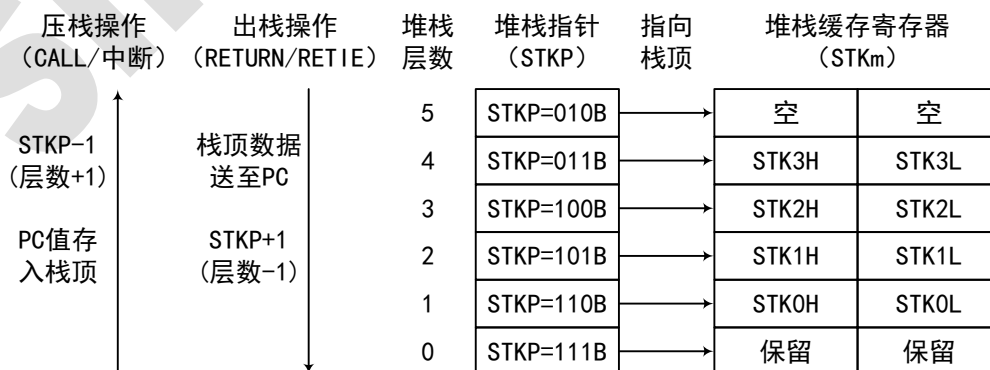
```
MOVAI    00H
MOVRA    FSR1
MOVAI    10H
MOVRA    FSR0
MOVAI    55H
MOVRA    INDF          ; 将 55H 写入 (FSR1×256+FSR0)所指地址的数据存储器中
```

注：间接寻址方式最大可寻址 FFFFH，但访问数据存储器中未定义的地址时，读出数据不确定，写入操作可能会更改其他地址中的内容。

3.4 堆栈

芯片的堆栈为 4 级缓存寄存器型堆栈。11 位堆栈缓存寄存器 STKR_m (m=3-0)，位于特殊功能寄存器 SFR 区，3 位堆栈指针 STKP 位于杂项控制寄存器 MCR 中，指向堆栈栈顶。当 CPU 响应中断或执行子程序调用指令时，会自动将下一条指令的 PC 值压栈保存：先将 STKP 减 1，再将 PC 值压入 STKP 所指栈顶的堆栈缓存寄存器中；当 CPU 执行中断返回或子程序返回指令时，会自动将栈顶内容出栈载入 PC：先将栈顶数据载入 PC，再将 STKP 加 1 指向新的栈顶地址。若在堆栈满时压栈、或在堆栈空时出栈，则会导致 PC 数据错误。

堆栈操作示意





3.5 控制寄存器

数据指针寄存器 0

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
FSR0	FSR07	FSR06	FSR05	FSR04	FSR03	FSR02	FSR01	FSR00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	X	X	X	X	X	X	X	X

BIT[7:0] **FSR0[7:0]** – 数据指针寄存器 0

FSR0: 间接寻址方式的指针低 8 位。

数据指针寄存器 1

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
FSR1	FSR17	FSR16	FSR15	FSR14	FSR13	FSR12	FSR11	FSR10
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	X	X	X	X	X	X	X	X

BIT[7:0] **FSR1[7:0]** – 数据指针寄存器 1

FSR1: 间接寻址方式的指针高 8 位。

间接寻址寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
INDF	INDF7	INDF6	INDF5	INDF4	INDF3	INDF2	INDF1	INDF0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	X	X	X	X	X	X	X	X

BIT[7:0] **INDF[7:0]** – 间接寻址寄存器

INDF: INDF 不是物理寄存器, 对 INDF 操作实际是对 $(FSR1 \times 256 + FSR0)$ 所指向地址的数据存储器进行操作, 从而实现间接寻址功能。

字操作高字节缓存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
HIBYTE	HIBYTE7	HIBYTE6	HIBYTE5	HIBYTE4	HIBYTE3	HIBYTE2	HIBYTE1	HIBYTE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	X	X	X	X	X	X	X	X

BIT[7:0] **HIBYTE[7:0]** – 字操作高字节缓存器

HIBYTE: 用于缓存通过 MOVC 指令访问程序存储器时所读取内容的高 8 位。

程序指针计数器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
PCH	–	–	–	–	–	PC10	PC9	PC8
R/W	–	–	–	–	–	W	W	W



初始值	-	-	-	-	-	0	0	0
-----	---	---	---	---	---	---	---	---

BIT[2:0] **PC[10:8]** – 程序指针计数器高 3 位

注：PCH 只可写不可读，禁止使用带回写功能的指令直接操作 PCH。

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
PCL	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7:0] **PC[7:0]** – 程序指针计数器低 8 位

程序指针计数器（PC）有以下几种操作模式：

- ✧ 顺序运行指令：PC = PC + 1；
- ✧ 程序跳转指令 GOTO/CALL：PC = 指令码低 11 位；
- ✧ 返回指令 RETIE/RETURN：PC = 堆栈栈顶（TOS）；

对 PCL 操作指令：

- ✧ 对 PCL 操作的加法指令：PC = (PC[10:0]+ALU[7:0])；
- ✧ 对 PCL 操作的其他指令：PC = (PC[10:8]:ALU[7:0])(ALU 运算结果)；

注：以 PCL 为目的寄存器的算术/逻辑操作指令中，仅有加法指令产生进位时会影响 PCH 的值，而其他对 PCL 操作的指令均不会影响 PCH 的值。

CPU 状态寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
PFLAG	NT0	NPD	LVD36	LVD24	-	C	DC	Z
R/W	R/W	R/W	R	R	-	R/W	R/W	R/W
初始值	X	X	0	0	-	X	X	X

BIT[7:6] **NT0,NPD** – 复位方式标志位

NT0:NPD	复位方式
00	WDT 溢出复位
01	保留
10	LVR 低电压复位
11	RST 外部复位

BIT[5] **LVD36** – LVD（3.6V）检测状态标志位（仅配置字 LVDVS[3]=1 时有效）

- 0： VDD 电压高于 3.6V（有回滞）；
- 1： VDD 电压低于 3.6V；

BIT[4] **LVD24** – LVD（2.4V）检测状态标志位（仅配置字 LVDVS[3]=0 时有效）

- 0： VDD 电压高于 2.4V（有回滞）；
- 1： VDD 电压低于 2.4V；



注：因 LVD 电路具有回滞特性（回滞电压典型值为 6%），所以需 VDD 电压恢复至电压检测阈值+6%后，状态标志位 LVD36 或 LVD24 才被清 0

BIT[2] C – 进位/借位标志位

0：加法运算中无进位；减法运算中有借位；移位操作中移出位为 0；比较运算结果 < 0；

1：加法运算中有进位；减法运算中无借位；移位操作中移出位为 1；比较运算结果 ≥ 0；

BIT[1] DC – 半字节进位/借位标志位

0：加法运算中半字节无进位；减法运算中半字节有借位；

1：加法运算中半字节有进位；减法运算中半字节无借位；

BIT[0] Z – 零标志位

0：算术或逻辑运算的结果不为零；

1：算术或逻辑运算的结果为零；

杂项控制寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
STKP	GIE	–	–	–	–	STKP2	STKP1	STKP0
R/W	R/W	–	–	–	–	R/W	R/W	R/W
初始值	0	–	–	–	–	1	1	1

BIT[7] GIE – 中断总使能位

0：屏蔽所有中断；

1：由相应的中断使能位决定 CPU 是否响应中断源所触发的中断；

BIT[2:0] STKP[2:0] – 堆栈指针控制位

注：虽然堆栈指针的复位初始值已为 B' 111，但仍推荐在程序初始化部分重新设置 STKP=7 并禁止程序再访问堆栈相关寄存器，以确保芯片能正常使用堆栈。

堆栈缓存寄存器 (m=0-3)

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
STKmH	–	–	–	–	–	STKm10	STKm9	STKm8
R/W	–	–	–	–	–	R/W	R/W	R/W
初始值	–	–	–	–	–	0	0	0

BIT[2:0] STKm[10:8] – 堆栈缓存寄存器 STKm 高 3 位

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
STKmL	STKm7	STKm6	STKm5	STKm4	STKm3	STKm2	STKm1	STKm0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7:0] STKm[7:0] – 堆栈缓存寄存器 STKm 低 8 位



3.6 用户配置字

芯片为保证系统正常工作，会将关键模块的配置信息预先存储于单独的存储器区域内，在上电或其他复位发生后将配置信息载入寄存器中，通过寄存器控制关键模块的工作状态。该部分存储器中用户可选的内容即为用户配置字，可在烧录用户程序代码时进行配置与烧录。

芯片的用户配置字，定义如下：

符号	功能说明
HOSCS	系统高频时钟选择： F _{HOSC} =内部高频 RC 振荡器时钟 F _{HIRC} ； RTC 模式；(F _{HOSC} =F _{HIRC} , F _{RTC} =F _{LEXT}) F _{HOSC} =外部 4M-16M 晶体振荡器时钟 F _{HEXT} ；(支持 4MHz-16MHz 晶振) F _{HOSC} =外部 455K 晶体振荡器时钟 F _{HEXT} ；(支持 455KHz 晶振) F _{HOSC} =外部 32K 晶体振荡器时钟 F _{LEXT} ；(支持 32768Hz 晶振) F _{HOSC} =外部 RC 振荡器时钟 F _{ERC} ；(支持 0-4MHz 外部 RC 振荡器)
HIRCFS	HIRC 振荡频率选择： F _{HIRC} =16MHz； F _{HIRC} =8MHz； F _{HIRC} =4MHz； F _{HIRC} =2MHz； F _{HIRC} =1MHz； F _{HIRC} =455KHz；
FCPUS	高频时钟下 F _{CPU} 分频选择： F _{CPU} =F _{HOSC} /2； F _{CPU} =F _{HOSC} /4； F _{CPU} =F _{HOSC} /8； F _{CPU} =F _{HOSC} /16； F _{CPU} =F _{HOSC} /32； F _{CPU} =F _{HOSC} /64； F _{CPU} =F _{HOSC} /128；
RSTEN	RST 外部复位端口设置： P04 为外部复位脚； P04 为输入/输出脚；
LVRVS	LVR 复位电压选择：(LVR 电压应满足由 F _{CPU} 决定的工作电压特性) 1.8V； 2.0V； 2.2V； 2.4V； 2.5V； 2.6V； 2.7V； 2.8V； 3.0V； 3.2V； 3.6V； 3.8V；
LVDVS	LVD 检测电压选择： 1.8V； 关闭； 2.0V； 2.1V； 2.2V； 2.4V； 2.5V； 2.6V； 2.7V； 2.8V； 3.0V； 3.2V； 3.3V； 3.6V； 4.0V； 4.2V；
WDTM	WDT 模式设置： WDT 始终关闭； WDT 在运行模式下开启，在低功耗模式下关闭； WDT 始终开启；
SAMPTS	AD 采样时间选择： 4 个 ADCLK； 6 个 ADCLK； 12 个 ADCLK； 14 个 ADCLK；
ENCR	程序代码加密设置： 程序代码加密； 程序代码不加密；



4 系统时钟

芯片内部电路均在系统高频时钟 FHOSC 或系统低频时钟 FLOSC 下工作，部分外设模块的时钟源还可在 FHOSC 和 FLOSC 之间切换。

系统高频时钟 FHOSC 可通过配置字 HOSCS 和 HIRCFS 选择以下时钟：

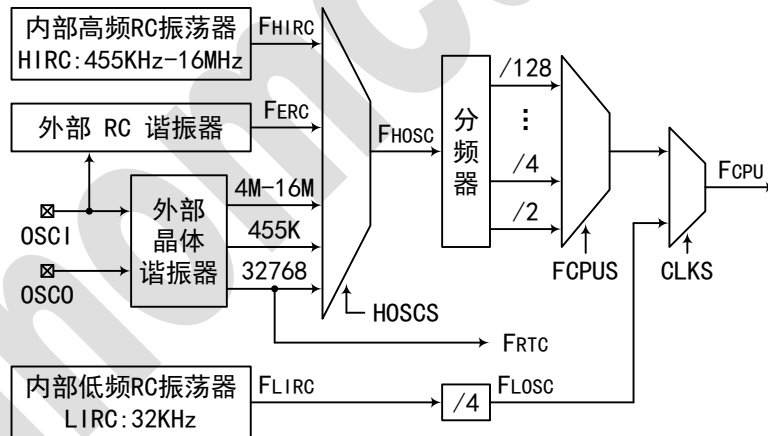
- ✧ 内部高频 RC 振荡器 HIRC（16MHz/8MHz/4MHz/2MHz/1MHz/455KHz）时钟 FHIRC；
- ✧ 外部高频晶体振荡器 HEXT（4MHz~16MHz/455KHz）时钟 FHEXT；
- ✧ 外部低频晶体振荡器 LEXT（32768Hz）时钟 FLEXT；
- ✧ 外部 RC 振荡器 ERC（0~4MHz）时钟 FERC；

系统低频时钟 FLOSC 固定为内部低频 RC 振荡器 LIRC（32KHz）时钟 FLIRC。

CPU 的时钟源可在系统高频时钟 FHOSC 和系统低频时钟 FLOSC 之间切换。FHOSC 下 CPU 的时钟频率 F_{CPUS} 通过配置字 FCPUS 选择；FLOSC 下 F_{CPUS} 则固定为 FLOSC 的 2 分频。

WDT（看门狗）电路的时钟源固定为内部低频 RC 振荡器 LIRC。

系统时钟示意图



4.1 内部高频 RC 振荡器

芯片内置 1 个振荡频率可通过配置字 HIRCFS 选择（16MHz/8MHz/4MHz/2MHz/1MHz/455KHz）的高精度 HIRC 振荡器，可用作系统高频时钟源。



4.2 内部低频 RC 振荡器

芯片内置 1 个振荡频率典型值为 32KHz 的 LIRC 振荡器，可用作系统低频时钟源，也用于系统上电延时控制、看门狗定时器（WDT）等电路。

4.3 外部晶体振荡器

芯片支持外接高频 455KHz/4MHz~16MHz、或低频 32768Hz 的晶体振荡器作为系统高频时钟源，还可在系统高频时钟配置为 RTC 模式时外接 32768Hz 晶体振荡器作为外部 RTC 时钟源。

外接晶振的实际应用中，晶振两端的对地电容 CG/CD 是必需的（需外接对地电容）。用户应使晶振离 OSCI/OSCO 引脚的距离尽可能短，这样有助于振荡器的起振和振荡稳定性。下表是典型频率晶振选用电容 CG/CD 的推荐值和相应最低起振电压参考值：

晶振频率 (Hz)	电容 CG/CD (pF)	最低起振电压 (V)
16M	10	3.0
8M	10/20	2.3
4M	10/20	2.2
455K	100/220	2.0
32768	10/20	1.8

注：因晶振品牌繁多且工艺差异较大，故上表中的参数仅供参考，具体应用请以晶振的实测结果为准。

4.4 外部 RC 振荡器

芯片支持外接 RC 振荡器作为系统高频时钟源。外部 RC 振荡电路需与 OSCI 引脚连接，电容值不能低于 100pF，电阻值和电容值共同决定 RC 的振荡频率，最高支持 4MHz。



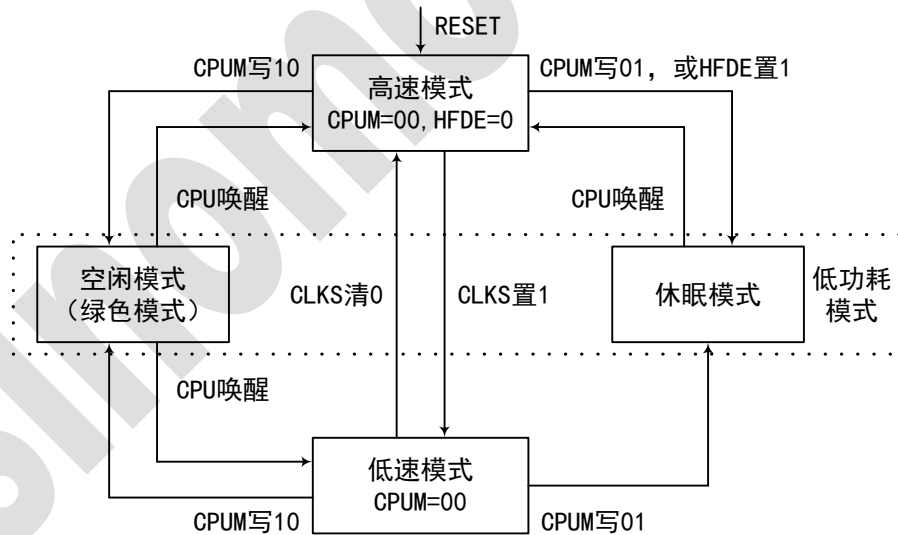
5 系统工作模式

芯片支持高速模式、低速模式、空闲模式和休眠模式等多种系统工作模式。高速模式和低速模式为运行模式，CPU 运行；而空闲模式和休眠模式则为低功耗模式，CPU 暂停工作。

工作模式	模式切换条件	系统工作状态
高速模式	任意模式下，系统复位	CPU 高速运行，高/低频时钟源均工作
	低速模式下，CLKS 清 0	
	空闲模式下，CPU 唤醒 (@CLKS=0)	
	休眠模式下，CPU 唤醒	
低速模式	高速模式下，CLKS 置 1	CPU 低速运行，低频时钟源工作，高频时钟源由控制位 HOFF 决定
	空闲模式下，CPU 唤醒 (@CLKS=1)	
空闲模式	高/低速模式下，CPUM 写 10	CPU 暂停，低频时钟源工作，高频时钟源由控制位 HOFF 决定
休眠模式	高速模式下，CPUM 写 01、或 HOFF 置 1	CPU 暂停，高/低频时钟源均停止
	低速模式下，CPUM 写 01	

注：WDT 时钟源为 LIRC，WDT 开启时 LIRC 将一直工作而不受系统工作模式影响。

工作模式切换示意图



工作模式寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
OSCM	-	-	-	CPUM1	CPUM0	CLKS	HOFF	-
R/W	-	-	-	R/W	R/W	R/W	R/W	-
初始值	-	-	-	0	0	0	0	-

BIT[4:3] CPUM[1:0] – 系统工作模式控制位



CPUM[1:0]	系统工作模式
00	高/低速模式（硬件自动清 0）
01	进入休眠模式
10	进入空闲模式
11	保留

BIT[2] **CLKS** – 系统时钟及 CPU 时钟选择位

0: FHOSC 作为 FOSC, FHOSC 的分频时钟作为 FCPU;

1: FLOSC 的 4 分频时钟作为 FOSC 和 FCPU;

BIT[1] **HOFF** – 高频时钟源控制位

0: 使能高频时钟源;

1: 关闭高频时钟源;

系统功能/模块在各工作模式下的状态

功能/模块	高速模式	低速模式	空闲模式	休眠模式
内/外部高频时钟源	工作	通过 HOFF 控制	继续原状态	停止
内部低频 RC 振荡器	工作	工作	工作	由 WDTM 决定 WDT 开则 LIRC 工作 WDT 关则 LIRC 停止
CPU	工作	工作	停止	停止
看门狗定时器 WDT	由 WDTM 决定	由 WDTM 决定	由 WDTM 决定	由 WDTM 决定
T0 及其中断	通过 TCOEN 控制 溢出可产生中断	通过 TCOEN 控制 溢出可产生中断	继续原状态, 溢出置标志位 TOGE 决定溢出是否唤醒	暂停
T1 及其中断	通过 TC1EN 控制 溢出可产生中断	通过 TC1EN 控制 溢出可产生中断	继续原状态 溢出置标志位但不唤醒	暂停
T2 及其中断	通过 TC2EN 控制 溢出可产生中断	通过 TC2EN 控制 溢出可产生中断	继续原状态 溢出置标志位且唤醒	若为时钟 RTC 模式且时钟 源为 FRTC, 则继续原状态 且溢出唤醒, 否则暂停
ADC 及其中断	通过 ADON 控制 结束可产生中断	通过 ADON 控制 结束可产生中断	暂停	暂停
外部中断	触发可产生中断	触发可产生中断	触发仅置标志位	触发仅置标志位
唤醒方法	-	-	P0, T0IF, T2IF, 复位	P0, T2IF(RTC), 复位

在高/低速模式下, 可通过 BSET 指令将 CPUM0 置 1 进入休眠模式、或将 CPUM1 置 1 进入空闲模式。但请注意, 因位操作指令的预读回写机制及 CPU 指令的执行时序, 若从空闲/休眠模式唤醒后的第一条指令又立即对寄存器 OSCM 进行位操作, 则会再次进入空闲或休眠模式。

可按以下例程实现运行-休眠、运行-空闲的模式切换:

.....

; 运行模式

BSET CPUM0

; CPUM0 置 1, 进入休眠模式



NOP		；唤醒后第一条指令
.....		；运行模式
BSET	CPUM1	；CPUM1 置 1，进入空闲模式
NOP		；唤醒后第一条指令
.....		；运行模式

5.1 高速模式

高速模式下，系统（包括 CPU）的工作时钟由系统高频时钟 FHOSC 提供。上电复位或其他复位触发后，系统以高速模式工作，当系统从休眠模式唤醒后也进入高速模式。

- ✧ CPU 以 FHOSC 为时钟源，在其分频时钟下执行指令代码；
- ✧ 系统在 FHOSC 下工作，所有模块均可在选定的时钟下工作；
- ✧ 系统高频时钟源和内部低频 RC 振荡器均正常工作；
- ✧ 系统可从低速/空闲/休眠模式转入高速模式；
- ✧ 系统可从高速模式转入低速/空闲/休眠模式；
- ✧ 系统从高速模式转入空闲模式后，再唤醒将返回到高速模式；
- ✧ 系统从高速/低速模式转入休眠模式后，再唤醒均将转入高速模式；

5.2 低速模式

低速模式下，系统（包括 CPU）的工作时钟由系统低频时钟 FLOSC 提供。高/低速模式的切换由寄存器位 CLKS 控制，CLKS 清 0 后转入高速模式、CLKS 置 1 后转入低速模式。从高速模式转入低速模式后，系统高频时钟源并不自动停止，可通过寄存器位 HOFF 关闭高频时钟源以降低功耗；而若从低速模式转入高速模式，则需在高频时钟源工作后，才能通过 CLKS 清 0 转入高速模式。

- ✧ CPU 在 FLOSC 的 4 分频时钟下执行指令代码；
- ✧ 系统在 FLOSC 的 4 分频时钟下工作，所有模块均可在选定的时钟下工作；
- ✧ 内部低频 RC 振荡器正常工作，系统高频时钟源由 HOFF 控制；
- ✧ 系统可从高速/空闲模式转入低速模式；
- ✧ 系统可从低速模式转入高速/空闲/休眠模式；
- ✧ 系统从低速模式转入空闲模式后，再唤醒将返回到低速模式；

5.3 休眠模式

休眠模式为低功耗模式，系统和 CPU 均停止工作，系统高频时钟源停止工作，内部低频 RC 振荡器根据 WDT 模式决定（若 WDT 始终工作则 LIRC 工作，否则 LIRC 停止）。休眠模式下，选定端口的电平变化、或设置唤醒功能的定时器的溢出，将唤醒系统。系统从其他任意模式转入休眠模式后，再唤醒



均将转入高速模式。可设置寄存器位 CPUM 为 01 进入休眠模式，唤醒后 CPUM 自动恢复为 00 且 CLKS 也自动清为 0，系统转入高速模式。

- ✧ CPU 停止工作，暂停执行指令代码；
- ✧ 所有系统高/低频时钟源均停止工作；
- ✧ 系统可从高速/低速模式转入休眠模式；
- ✧ 选定端口的电平变化、或设置唤醒功能的定时器的溢出，将唤醒系统；
- ✧ 系统从休眠模式唤醒后，转入高速模式；

注：高速模式下 HOFF 置 1，系统也将进入休眠模式；低速模式下 HOFF 为 1 时，CLKS 清 0 将误进入休眠模式。

5.4 空闲模式（绿色模式）

空闲模式又称为绿色模式，也为低功耗模式，CPU 停止工作，但转入空闲模式前选定的时钟源仍保持工作，系统和外设模块也将继续工作。空闲模式下，选定端口的电平变化、或设置唤醒功能的定时器的溢出，将唤醒系统。可设置寄存器位 CPUM 为 10 进入空闲模式，唤醒后 CPUM 自动恢复为 00，系统按转入空闲模式之前的系统模式恢复工作。

- ✧ CPU 停止工作，暂停执行指令代码；
- ✧ 转入空闲模式之前的系统时钟源仍正常工作，其他时钟源的状态由工作模式的配置决定；
- ✧ 系统可从高速/低速模式转入空闲模式；
- ✧ 选定端口的电平变化、或设置唤醒功能的定时器的溢出，将唤醒系统；
- ✧ 系统从高速模式转入空闲模式后，再唤醒将返回到高速模式；
- ✧ 系统从低速模式转入空闲模式后，再唤醒将返回到低速模式；



6 复位

6.1 复位条件

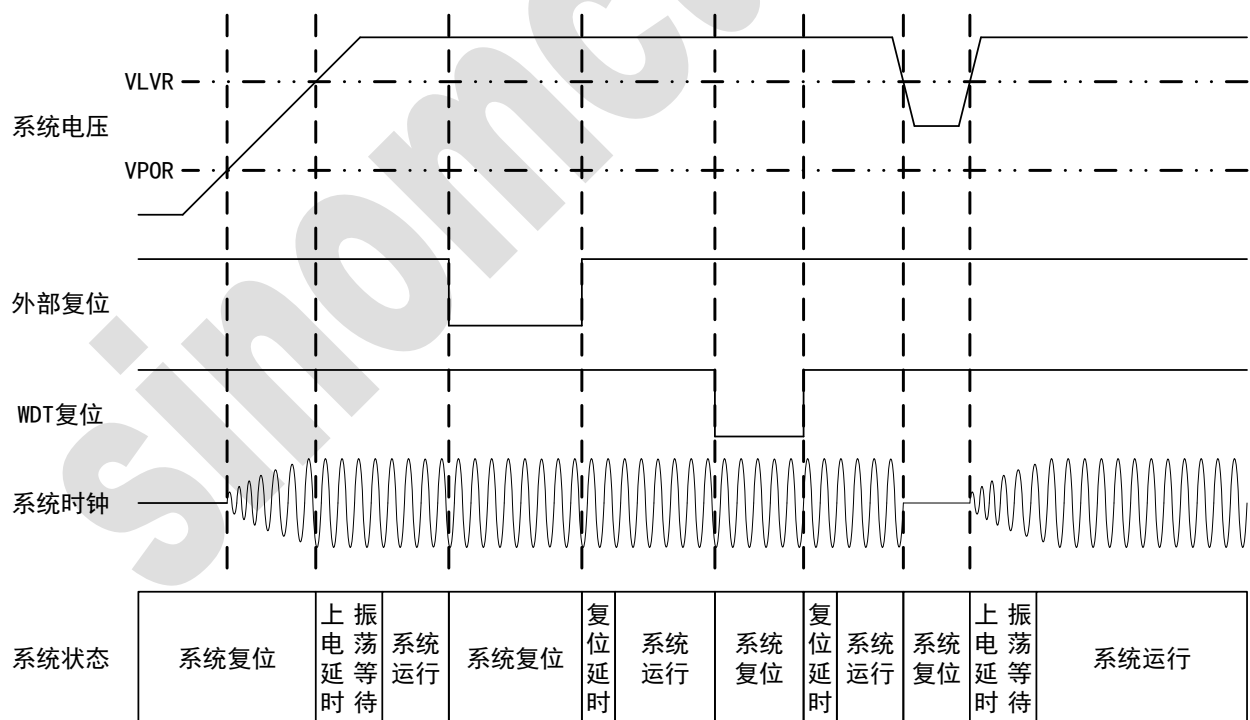
芯片共有如下几种复位方式：

- ◇ 上电复位 POR；
- ◇ 低电压复位 LVR；
- ◇ 外部复位；
- ◇ WDT 看门狗复位；

任何一种复位发生后，系统进入复位状态，执行初始化操作并重置 SFR 为复位初始值；复位条件解除后，系统退出复位状态，CPU 重新从程序存储器 0000H 地址处开始运行。

上电复位 POR 和低电压复位 LVR 会关闭系统主时钟振荡器，复位解除后才重新开启振荡器，因为振荡器起振和稳定需要一定的时间，所以系统将保持一定时间的上电延时以待振荡器稳定振荡后才开始工作；而外部复位、WDT 复位则不会关闭主时钟振荡器，复位解除后系统将在较短的复位延时后即开始工作。

下图是复位产生和系统工作状态之间的时序关系示意图：



注：若应用系统在上电或掉电回升时芯片的 VDD 电压上升较慢，则应在复位后 CPU 开始工作时先进行软件延时，以确保芯片开始工作时 VDD 电压已稳定在 F_{CPU} 对应的工作电压范围内。



6.2 上电复位

芯片的上电复位电路可以适应系统快速上电或慢速上电等情况，即使上电过程中发生电源电压抖动的情况也能保证系统可靠的复位。

上电复位过程主要包括以下几个步骤：

- (1) 检测系统电源电压，等待电压高于上电复位电压 V_{POR} 并保持稳定；
- (2) 若 LVR 功能开启，则需等待电压高于低电压复位电压 V_{LVR} 并保持稳定；
- (3) 若有外部复位功能并已开启，则需等待外部复位引脚电压高于 V_{ih} ；
- (4) 初始化所有初始值确定的寄存器；
- (5) 开启主时钟振荡器，并等待一段时间以待振荡器稳定；
- (6) 上电复位结束，CPU 开始执行指令；

6.3 外部复位

芯片的外部复位功能可通过配置字 **RSTEN** 开启，引脚设为外部复位脚即为开启外部复位功能，端口内部上拉电阻将自动使能。外部复位输入端口 **RST** 为施密特结构，低电平有效，即当端口输入为高电平时系统正常运行，输入为低电平时系统复位。

6.4 低电压复位

芯片的低电压复位电压 V_{LVR} 可通过配置字 **LVRVS** 选择。LVR 检测电路具有一定的回滞特性，回滞电压约为 6%（典型值），当电源电压下降至 V_{LVR} 时发生 LVR 复位，反之电源电压需上升至 $V_{LVR}+6\%$ 后 LVR 复位才解除。

6.5 看门狗复位

芯片的看门狗定时器（WDT）复位是一种对系统运行程序的保护机制。正常情况下，用户程序需定时对 WDT 执行清零操作，以避免 WDT 溢出。若发生异常情况，程序未及时清零 WDT，则芯片将因 WDT 溢出而产生看门狗复位，系统初始化后重新运行程序，从而返回受控状态。



7 I/O 端口

7.1 通用 I/O 功能

芯片的输入/输出端口包括一组 5 位端口 P0，一组 6 位端口 P4，和一组 3 位端口 P5。所有端口均支持施密特输入，除 P04 外均支持推挽输出。

除用作通用数字 I/O 端口外，部分端口还可复用为外部中断输入、PWM 输出、或 ADC 模拟输入等功能。

端口数据寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
IOP0	–	–	–	P04D	P03D	P02D	P01D	P00D
R/W	–	–	–	R/W	R/W	R/W	R/W	R/W
初始值	–	–	–	X	X	X	X	X

BIT[4:0] **P0nD** – P0n 端口数据位 (n=4-0)

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
IOP4	–	–	P45D	P44D	P43D	P42D	P41D	P40D
R/W	–	–	R/W	R/W	R/W	R/W	R/W	R/W
初始值	–	–	X	X	X	X	X	X

BIT[5:0] **P4nD** – P4n 端口数据位 (n=5-0)

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
IOP5	–	–	–	P54D	P53D	P52D	–	–
R/W	–	–	–	R/W	R/W	R/W	–	–
初始值	–	–	–	X	X	X	–	–

BIT[4:2] **P5nD** – P5n 端口数据位 (n=4-2)

端口方向寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
OEPO	–	–	–	P04OE	P03OE	P02OE	P01OE	P00OE
R/W	–	–	–	R/W	R/W	R/W	R/W	R/W
初始值	–	–	–	0	0	0	0	0

BIT[4:0] **P0nOE** – P0n 端口输出使能位 (n=4-0)

0: 端口作为输入口，读端口操作将读取端口的电平状态；

1: 端口作为输出口，读端口操作将读取端口的数据位值；

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
OEP4	–	–	P45OE	P44OE	P43OE	P42OE	P41OE	P40OE



R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初始值	-	-	0	0	0	0	0	0

BIT[5:0] **P4nOE** – P4n 端口输出使能位 (n=5-0)

0: 端口作为输入口, 读端口操作将读取端口的电平状态;

1: 端口作为输出口, 读端口操作将读取端口的数据位值;

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
OEP5	-	-	-	P54OE	P53OE	P52OE	-	-
R/W	-	-	-	R/W	R/W	R/W	-	-
初始值	-	-	-	0	0	0	-	-

BIT[4:2] **P5nOE** – P5n 端口输出使能位 (n=4-2)

0: 端口作为输入口, 读端口操作将读取端口的电平状态;

1: 端口作为输出口, 读端口操作将读取端口的数据位值;

7.2 内部上拉电阻

所有端口均具有内部上拉电阻, 且均可单独控制其上拉电阻在端口处于输入状态时是否有效。端口处于输出状态时, 上拉电阻及其控制位无效。

上拉电阻控制寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
PUP0	-	-	-	P04PU	P03PU	P02PU	P01PU	P00PU
R/W	-	-	-	R/W	R/W	R/W	R/W	R/W
初始值	-	-	-	0	0	0	0	0

BIT[4:0] **P0nPU** – P0n 端口上拉电阻控制位 (n=4-0)

0: 端口内部上拉电阻无效;

1: 端口内部上拉电阻有效;

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
PUP4	-	-	P45PU	P44PU	P43PU	P42PU	P41PU	P40PU
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初始值	-	-	0	0	0	0	0	0

BIT[5:0] **P4nPU** – P4n 端口上拉电阻控制位 (n=5-0)

0: 端口内部上拉电阻无效;

1: 端口内部上拉电阻有效;

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
PUP5	-	-	-	P54PU	P53PU	P52PU	-	-
R/W	-	-	-	R/W	R/W	R/W	-	-



初始值	-	-	-	0	0	0	-	-
-----	---	---	---	---	---	---	---	---

BIT[4:2] **P5nPU** – P5n 端口上拉电阻控制位 (n=4-2)

- 0: 端口内部上拉电阻无效;
- 1: 端口内部上拉电阻有效;

7.3 端口模式控制

部分端口除可作为数字端口外, 还可复用为模拟端口。端口输入或输出模拟信号时, 若数字 I/O 功能同时开启, 则会产生漏电流, 可通过端口数模控制寄存器关闭端口的数字 I/O 功能 (内部上拉电阻及其控制位不受影响)。

端口数模控制寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
ANSEL	-	-	P45ANS	P44ANS	P43ANS	P42ANS	P41ANS	P40ANS
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初始值	-	-	0	0	0	0	0	0

BIT[5:0] **P4nANS** – P4n 端口数字功能控制位 (n=5-0)

- 0: 使能端口的数字 I/O 功能;
- 1: 关闭端口的数字 I/O 功能;



8 定时器 TIMER

8.1 看门狗定时器 WDT

看门狗定时器 WDT 的时钟源为内部低频 RC 振荡器 LIRC (24KHz @3V, 32KHz @5V), WDT 溢出将复位芯片。

可通过配置字 WDTM 设置 WDT 工作模式。选择始终开启, 则 WDT 一直工作, 溢出将复位芯片; 选择低功耗模式下关闭, 则 WDT 在休眠/空闲模式下自动关闭、在其他方式唤醒 CPU 后恢复工作。

WDT 控制寄存器 WDTCR 写 5AH 将清零 WDT 计数器。

WDT 溢出时间 = $8192 / \text{FLIRC}$ (内部低频 RC 振荡器频率)。

注: WDT 溢出时间为典型值, 而实际值偏差较大, 必须保证清 WDT 的间隔时间小于 WDT 溢出时间的 1/4。

WDT 控制寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
WDTR	WDTR7	WDTR6	WDTR5	WDTR4	WDTR3	WDTR2	WDTR1	WDTR0
R/W	W	W	W	W	W	W	W	W
初始值	0	0	0	0	0	0	0	0

BIT[7:0] WDTR[7:0] – WDT 控制寄存器, 写 5AH 将清零 WDT 计数器

8.2 定时器 T0

定时器 T0 为 8 位定时/计数器, 包含 1 个 8 位递增计数器、可编程预分频器、控制寄存器、8 位重载/比较寄存器。

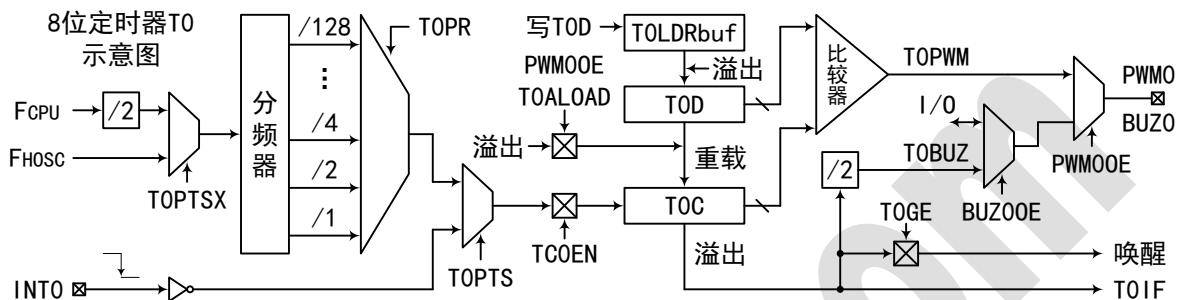
- ◇ 时钟源可选内部 F_{CPU}、F_{HOSC}, 或外部时钟 (INT0 输入);
- ◇ 选择内部时钟时可通过预分频器设置时钟频率;
- ◇ 定时/计数/输出 BUZ 时, 可通过重载/比较寄存器控制计数周期;
- ◇ 输出 PWM 时, 可通过重载/比较寄存器设置 PWM 占空比;
- ◇ 支持溢出中断和空闲模式溢出唤醒功能;

定时器 T0, 可通过寄存器位 T0PTS/T0PTSX 选择时钟源, 内部时钟 (即内部时钟源通过 T0PR 选择预分频比分频后的时钟) 或外部时钟作为 T0 计数器 T0C 的计数时钟 (上升沿计数)。写 T0C 将清零预分频计数器, 而预分频比保持不变。

PWM0OE=0 时, 定时器 T0 可实现定时/计数功能。TC0EN=0 时, T0C 保持不变, 写重载/比较寄存器 T0D 将立即载入 T0C; TC0EN=1 时, T0C 递增计数, 计数到 FFH 的时钟结束后产生溢出信号并触发

中断，中断标志 T0IF 将被置 1。若已通过 T0ALOAD 使能自动重载功能，则计数溢出后 T0 会自动将当前 T0D 值载入 T0C 并重新开始计数，否则 T0C 将重新从 0 开始计数。

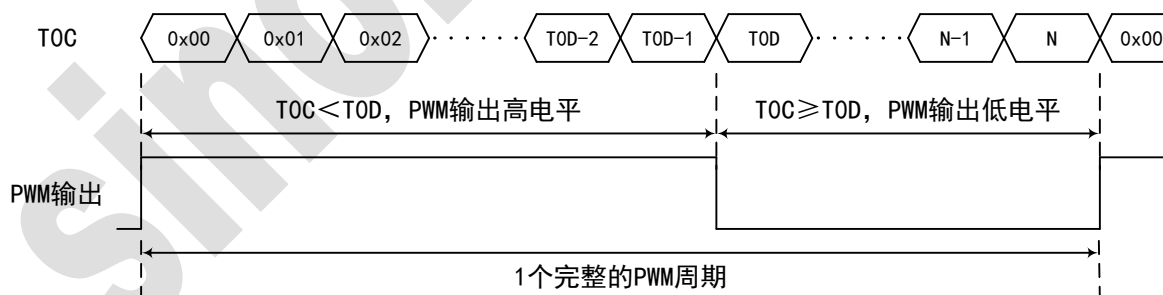
T0D 配有 1 个 8 位缓冲器 (T0LDRbuf)，写 T0D 会将数据先写入该缓冲器，若 TC0EN=0 则会同时载入 T0D 和 T0C，若 TC0EN=1 则在 T0 溢出时才将缓冲器中的值载入 T0D 和 T0C。通过 T0D 调整 T0 的计数周期，将从下一周期才开始有效，若要首个计数周期正确，需先写 T0D 和 T0C，再开启定时器。



PWM0OE=0 且 BUZ0OE=1 时，定时器 T0 可实现 BUZ 功能（BUZ0），端口将输出频率为 T0 溢出频率 2 分频的蜂鸣器驱动信号。

PWM0OE=1 时，定时器 T0 可实现 PWM 功能（PWM0）。PWM0 使能后 T0C 从 0 开始递增计数直到计数溢出为一个 PWM 周期：当计数到与重载/比较寄存器 T0D 相等时，T0PWM 变为低电平；当计数到最大值 N 溢出时，T0PWM 变为高电平。写 T0D 会先将数据写入 T0LDRbuf，T0 溢出时才载入 T0D，通过 T0D 调整 PWM0 的占空比，将从下一周期才开始有效。

PWM0OE=1 时，寄存器位 T0ALOAD 和 BUZ0OE 用于设置 T0C 的最大计数值 N，即设置 PWM0 的计数周期（详见寄存器位说明）。



休眠模式下, T0 暂停工作; 空闲模式下, T0 将继续原有工作状态, 溢出时中断标志 T0IF 将被置 1, 若 T0GE=1 则溢出还将唤醒 CPU。

定时器控制寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
TXCR	–	–	–	T2PTSX	T1PTSX	TOPTSX	TOGE	–
R/W	–	–	–	R/W	R/W	R/W	R/W	–



初始值	-	-	-	0	0	0	0	-
-----	---	---	---	---	---	---	---	---

BIT[4] **T2PTSX** – T2 内部时钟源选择位

- 0: T2 内部时钟源为 CPU 时钟 F_{CPU} 的 2 分频;
1: T2 内部时钟源为系统时钟 F_{OSC};

BIT[3] **T1PTSX** – T1 内部时钟源选择位

- 0: T1 内部时钟源为 CPU 时钟 F_{CPU} 的 2 分频;
1: T1 内部时钟源为系统时钟 F_{OSC};

BIT[2] **T0PTSX** – T0 内部时钟源选择位

- 0: T0 内部时钟源为 CPU 时钟 F_{CPU} 的 2 分频;
1: T0 内部时钟源为系统时钟 F_{OSC};

BIT[1] **T0GE** – T0 溢出唤醒功能使能位

- 0: 关闭 T0 溢出唤醒功能;
1: 使能 T0 溢出唤醒功能;

定时器 T0 控制寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
TOCR	TCOEN	TOPR2	TOPR1	TOPR0	TOPTS	TOALOAD	BUZ0OE	PWM0OE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7] **TCOEN** – 定时器 T0 使能位

- 0: 关闭定时器 T0;
1: 开启定时器 T0;

BIT[6:4] **TOPR[2:0]** – T0 内部时钟预分频比选择位

TOPR[2:0]	T0 内部时钟	
	TOPTSX=0	TOPTSX=1
000	F _{CPU} /256	F _{HOSC} /128
001	F _{CPU} /128	F _{HOSC} /64
010	F _{CPU} /64	F _{HOSC} /32
011	F _{CPU} /32	F _{HOSC} /16
100	F _{CPU} /16	F _{HOSC} /8
101	F _{CPU} /8	F _{HOSC} /4
110	F _{CPU} /4	F _{HOSC} /2
111	F _{CPU} /2	F _{HOSC} /1

BIT[3] **T0PTS** – T0 时钟源选择位

- 0: T0 时钟源为内部系统时钟 F_{OSC}、或内部 CPU 时钟 F_{CPU} 的 2 分频;
1: T0 时钟源为外部时钟（端口 INTO 输入时钟）下降沿;



BIT[2] **T0ALOAD** – T0 自动重载功能使能位（仅 PWM0OE=0 时有效）

- 0: 关闭 T0 自动重载功能;
1: 使能 T0 自动重载功能;

BIT[1] **BUZ0OE** – BUZ0 端口输出使能位（仅 PWM0OE=0 时有效）

- 0: 禁止端口输出蜂鸣器驱动波形;
1: 允许端口输出蜂鸣器驱动波形;

BIT[2,1] **T0ALOAD, BUZ0OE** – PWM0 计数周期选择位（仅 PWM0OE=1 时有效）

T0ALOAD:BUZ0OE	N	T0C 范围	T0C/T0D 有效值(二进制)	PWM0 周期时钟数
00	255	0 – 255	0000-0000 – 1111-1111	256
01	63	0 – 63	xx00-0000 – xx11-1111	64
10	31	0 – 31	xxx0-0000 – xxx1-1111	32
11	15	0 – 15	xxxx-0000 – xxxx-1111	16

BIT[0] **PWM0OE** – PWM0 端口输出使能位

- 0: 禁止端口输出脉宽调制波形;
1: 允许端口输出脉宽调制波形;

定时器 T0 计数器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
T0C	T0C7	T0C6	T0C5	T0C4	T0C3	T0C2	T0C1	T0C0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7:0] **T0C[7:0]** – T0 计数器，为可读写的递增计数器

定时器 T0 重载/比较寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
T0D	T0D7	T0D6	T0D5	T0D4	T0D3	T0D2	T0D1	T0D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

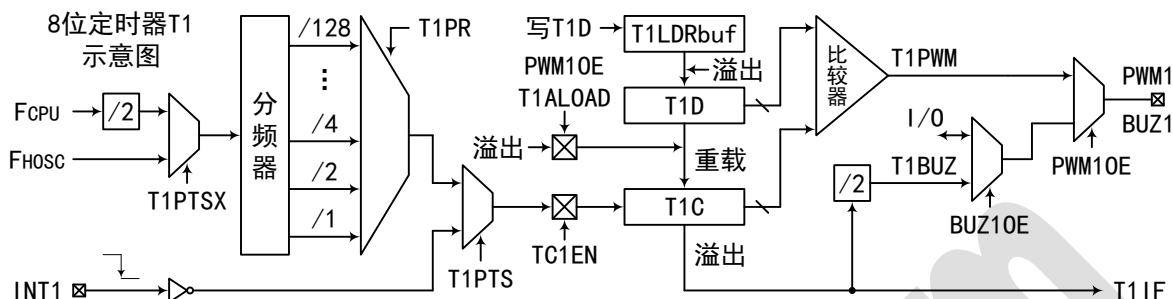
BIT[7:0] **T0D[7:0]** – T0 重载/比较寄存器，用于设置 T0 的计数周期、或设置 PWM0 的占空比

8.3 定时器 T1

定时器 T1 为 8 位定时/计数器，包含 1 个 8 位递增计数器、可编程预分频器、控制寄存器、8 位重载/比较寄存器。

- ✧ 时钟源可选内部 F_{CPU}、F_{HOSC}，或外部时钟（INT1 输入）;
- ✧ 选择内部时钟时可通过预分频器设置时钟频率;

- ✧ 定时/计数/输出 BUZ 时，可通过重载/比较寄存器控制计数周期；
- ✧ 输出 PWM 时，可通过重载/比较寄存器设置 PWM 占空比；
- ✧ 支持溢出中断（不支持空闲模式溢出唤醒功能）；



定时器 T1 的定时、外部计数、PWM 和 BUZ 功能与定时器 T0 完全相同。

休眠模式下, T1 暂停工作; 空闲模式下, T1 将继续原有工作状态, 溢出时中断标志 T1IF 将被置 1, 但并不能唤醒 CPU。

定时器 T1 控制寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
T1CR	TC1EN	T1PR2	T1PR1	T1PR0	T1PTS	T1ALOAD	BUZ10E	PWM10E
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7] **TC1EN** – 定时器 T1 使能位

- 0: 关闭定时器 T1;
- 1: 开启定时器 T1;

BIT[6:4] **T1PR[2:0]** – T1 内部时钟预分频比选择位

T1PR[2:0]	T1 内部时钟	
	T1PTSX=0	T1PTSX=1
000	FCPU/256	FHOSC/128
001	FCPU/128	FHOSC/64
010	FCPU/64	FHOSC/32
011	FCPU/32	FHOSC/16
100	FCPU/16	FHOSC/8
101	FCPU/8	FHOSC/4
110	FCPU/4	FHOSC/2
111	FCPU/2	FHOSC/1

BIT[3] **T1PTS** – T1 时钟源选择位

0: T1 时钟源为内部系统时钟 FOSC、或内部 CPU 时钟 FCPU 的 2 分频;
1: T1 时钟源为外部时钟 (端口 INT1 输入时钟) 下降沿;



BIT[2] **T1ALOAD** – T1 自动重载功能使能位（仅 PWM1OE=0 时有效）

0: 关闭 T1 自动重载功能;

1: 使能 T1 自动重载功能;

BIT[1] **BUZ1OE** – BUZ1 端口输出使能位（仅 PWM1OE=0 时有效）

0: 禁止端口输出蜂鸣器驱动波形;

1: 允许端口输出蜂鸣器驱动波形;

BIT[2,1] **T1ALOAD, BUZ1OE** – PWM1 计数周期选择位（仅 PWM1OE=1 时有效）

T1ALOAD:BUZ1OE	N	T1C 范围	T1C/T1D 有效值(二进制)	PWM1 周期时钟数
00	255	0 - 255	0000-0000 - 1111-1111	256
01	63	0 - 63	xx00-0000 - xx11-1111	64
10	31	0 - 31	xxx0-0000 - xxx1-1111	32
11	15	0 - 15	xxxx-0000 - xxxx-1111	16

BIT[0] **PWM1OE** – PWM1 端口输出使能位

0: 禁止端口输出脉宽调制波形;

1: 允许端口输出脉宽调制波形;

定时器 T1 计数器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
T1C	T1C7	T1C6	T1C5	T1C4	T1C3	T1C2	T1C1	T1C0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7:0] **T1C[7:0]** – T1 计数器，为可读写的递增计数器

定时器 T1 重载/比较寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
T1D	T1D7	T1D6	T1D5	T1D4	T1D3	T1D2	T1D1	T1D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

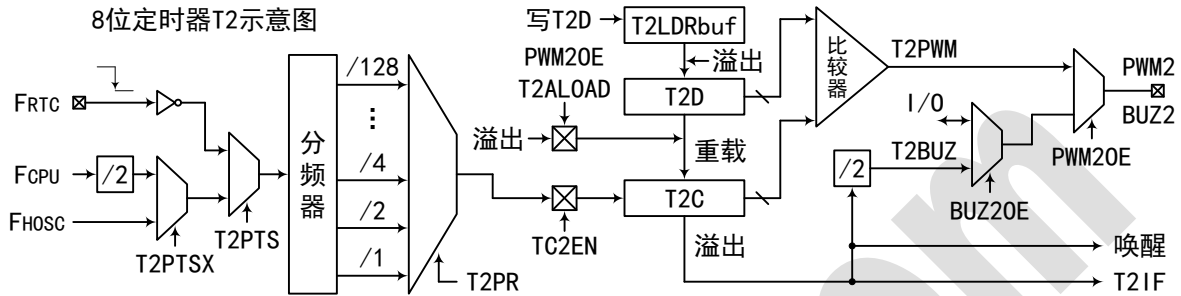
BIT[7:0] **T1D[7:0]** – T1 重载/比较寄存器，用于设置 T1 的计数周期、或设置 PWM1 的占空比

8.4 定时器 T2

定时器 T2 为 8 位定时器，包含 1 个 8 位递增计数器、可编程预分频器、控制寄存器、8 位重载/比较寄存器。



- ◇ 时钟源可选内部 F_{CPU}、F_{HOSC}，或外部低频晶振（32768Hz）时钟 F_{LEXT}（F_{RTC}）；
- ◇ 可通过预分频器设置时钟频率；
- ◇ 定时/计数/输出 BUZ 时，可通过重载/比较寄存器控制计数周期；
- ◇ 输出 PWM 时，可通过重载/比较寄存器设置 PWM 占空比；
- ◇ 支持溢出中断和溢出唤醒功能；



定时器 T2 的定时、PWM 和 BUZ 功能，除时钟源可在 RTC 模式下选择 F_{RTC} 外，其他与定时器 T0 完全相同。

休眠模式下，若系统时钟配置为 RTC 模式且 T2 时钟源为 F_{RTC}，则 T2 继续原状态且溢出唤醒，否则 T2 将暂停工作；空闲模式下，T2 将继续原有工作状态，溢出时中断标志 T2IF 将被置 1 并唤醒 CPU。

定时器 T2 控制寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
T2CR	TC2EN	T2PR2	T2PR1	T2PR0	T2PTS	T2ALOAD	BUZ2OE	PWM2OE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7] TC2EN – 定时器 T2 使能位

0: 关闭定时器 T2;

1: 开启定时器 T2;

BIT[6:4] T2PR[2:0] – T2 时钟预分频比选择位

T2PR[2:0]	T2 时钟		
	T2PTS=1 (外部时钟)	T2PTS=0 (内部时钟)	
		T2PTSX=0	T2PTSX=1
000	F _{RTC} /128	F _{CPU} /256	F _{HOSC} /128
001	F _{RTC} /64	F _{CPU} /128	F _{HOSC} /64
010	F _{RTC} /32	F _{CPU} /64	F _{HOSC} /32
011	F _{RTC} /16	F _{CPU} /32	F _{HOSC} /16
100	F _{RTC} /8	F _{CPU} /16	F _{HOSC} /8
101	F _{RTC} /4	F _{CPU} /8	F _{HOSC} /4
110	F _{RTC} /2	F _{CPU} /4	F _{HOSC} /2
111	F _{RTC} /1	F _{CPU} /2	F _{HOSC} /1



BIT[3] **T2PTS** – T2 时钟源选择位
 0: T2 时钟源为内部系统时钟 Fosc、或内部 CPU 时钟 Fcpu 的 2 分频;
 1: T2 时钟源为外部 32K 晶体 (需配置字 HOSCS 选择 RTC 模式);

BIT[2] **T2ALOAD** – T2 自动重载功能使能位 (仅 PWM2OE=0 时有效)
 0: 关闭 T2 自动重载功能;
 1: 使能 T2 自动重载功能;

BIT[1] **BUZ2OE** – BUZ2 端口输出使能位 (仅 PWM2OE=0 时有效)
 0: 禁止端口输出蜂鸣器驱动波形;
 1: 允许端口输出蜂鸣器驱动波形;

BIT[2,1] **T2ALOAD, BUZ2OE** – PWM2 计数周期选择位 (仅 PWM2OE=1 时有效)

T2ALOAD:BUZ2OE	N	T2C 范围	T2C/T2D 有效值(二进制)	PWM2 周期时钟数
00	255	0 - 255	0000-0000 - 1111-1111	256
01	63	0 - 63	xx00-0000 - xx11-1111	64
10	31	0 - 31	xxx0-0000 - xxx1-1111	32
11	15	0 - 15	xxxx-0000 - xxxx-1111	16

BIT[0] **PWM2OE** – PWM1 端口输出使能位
 0: 禁止端口输出脉宽调制波形;
 1: 允许端口输出脉宽调制波形;

定时器 T2 计数器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
T2C	T2C7	T2C6	T2C5	T2C4	T2C3	T2C2	T2C1	T2C0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7:0] **T2C[7:0]** – T2 计数器, 为可读写的递增计数器

定时器 T2 重载/比较寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
T2D	T2D7	T2D6	T2D5	T2D4	T2D3	T2D2	T2D1	T2D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7:0] **T2D[7:0]** – T2 重载/比较寄存器, 用于设置 T2 的计数周期、或设置 PWM2 的占空比



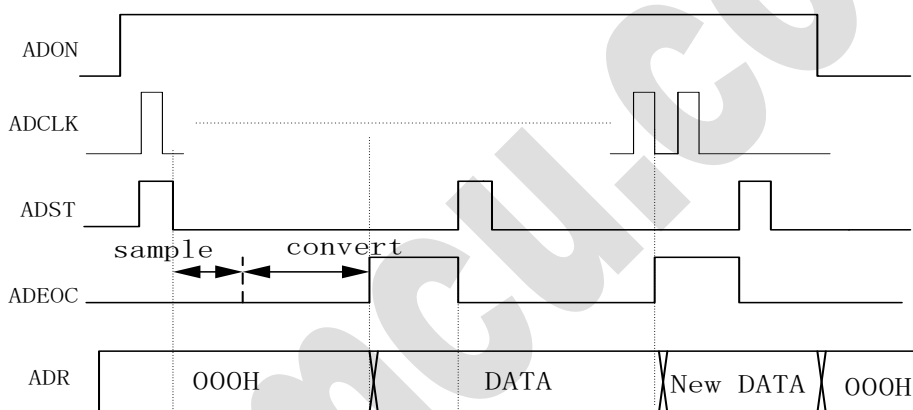
9 模数转换器 ADC

9.1 ADC 概述

6+1 通道 12 位模数转换器，可通过 ADON 使能模数转换模块，ADCHS 选择转换的模拟通道，可通过 ADCKS 位选择 ADC 的转换速率以决定 ADC 的转换时间，ADCKS 选择 AD 转换速度，ADST 位为 AD 转换启动控制位，ADEOC 位为 AD 转换结束标志位。

当 ADEOC 标志为 1 时，对 ADST 写 1 将启动模数转换，转换结束后，转换结果被放在 ADRH 和 ADRL 中，ADEOC 将自动置 1，同时中断标志 ADIF 置 1，若 GIE 和 ADIE 使能，将产生 AD 中断。

ADC 转换时序如下图所示：



注：

- 1、AD 转换过程中或 ADON 未使能时，ADRH/ADRL 中的数据未知，应在 AD 转换完成且 ADON 使能的情况下读取 AD 转换结果数据；
- 2、若选择内部参考电压 V_{IR} ，则需保证 $V_{DD} > (V_{IR} + 0.5V)$ ，否则 V_{IR} 实际电压将降为 $(V_{DD} - 0.5V)$ ；
- 3、使能 ADC 模块、或切换参考电压等操作后，需延时（时间 $> 200\mu s$ ）以待电路稳定后才可启动 AD 转换；因采样保持电路的电容效应，切换输入通道后的前几次转换结果将会有偏差，建议舍弃；
- 4、AD 转换精度受参考电压精度的影响，且内部参考电压下的转换精度，比外部参考电压下略低 2 个 LSB 左右；
- 5、转换时钟越慢、采样时间越长，则越能过滤外部输入的波动，越能保证 AD 转换的精度；

9.2 ADC 相关寄存器

ADC 控制寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
ADCR	ADON	ADST	ADEOC	GCHS	-	ADCHS2	ADCHS1	ADCHS0



R/W	R/W	R/W	R/W	R/W	–	R/W	R/W	R/W
初始值	0	0	0	0	–	0	0	0

BIT[7] **ADON** – ADC 使能位

0: 关闭 ADC;

1: 开启 ADC;

BIT[6] **ADST** – ADC 启动控制位

0: AD 转换结束后自动清 0;

1: 写 1 启动 AD 转换;

BIT[5] **ADEOC** – AD 转换控制位

0: AD 转换中, 完成后自动置 1;

1: 转换未开始或已完成, 写 0 开始 AD 转换;

BIT[4] **GCHS** – ADC 转换输入通道控制位

0: 关闭输入通道;

1: 开启输入通道;

BIT[2:0] **ADCHS[2:0]** – ADC 模拟输入通道选择位

ADCHS[2:0]	ADC 模拟输入通道
000	AIN0
001	AIN1
010	AIN2
011	AIN3
100	AIN4
101	VDD/4
110	AIN6
111	–

参考电压控制寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
VREF	VREFS	–	–	–	–	–	VRS1	VRS0
R/W	R/W	–	–	–	–	–	R/W	R/W
初始值	0	–	–	–	–	–	0	0

BIT[7] **VREFS** – ADC 参考电压选择位

0: ADC 参考电压由 VRS[1:0]决定;

1: ADC 参考电压为外部参考电压 V_{ER} (端口 VREFH 输入电压);

BIT[1:0] **VRS[1:0]** – ADC 参考电压选择位

VRS[1:0]	ADC 参考电压
00	内部 2.0V



01	内部 3.0V
10	内部 4.0V
11	VDD

ADC 转换结果寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
ADRH	ADR11	ADR10	ADR9	ADR8	ADR7	ADR6	ADR5	ADR4
R/W	R	R	R	R	R	R	R	R
初始值	X	X	X	X	X	X	X	X

BIT[7:0] **ADR[11:4]** – 12 位 ADC 转换结果高 8 位

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
ADRL	–	ADCKS1	ADLEN	ADCKS0	ADR3	ADR2	ADR1	ADR0
R/W	–	R/W	R/W	R/W	R	R	R	R
初始值	–	0	1	0	X	X	X	X

BIT[6,4] **ADCKS[1:0]** – ADC 转换时钟选择位

ADCKS[1:0]	ADC 转换时钟 F _{ADC}
00	F _{CPU} /16
01	F _{CPU} /8
10	F _{CPU} /1
11	F _{CPU} /2

注：ADC 转换时钟不能大于 500KHz。

BIT[5] **ADLEN** – ADC 转换结果数据格式选择位

0: ADC 转换结果为 8 位数据，存入 ADRH[7:0];

1: ADC 转换结果为 12 位数据，高 8 位存入 ADRH[7:0]、低 4 位存入 ADRL[3:0];

BIT[3:0] **ADR[3:0]** – 12 位 ADC 转换结果低 4 位

9.3 ADC 操作步骤

模数转换操作步骤：

- (1) 设置 OEP4 将相应的端口设置为输入端口，同时关闭上拉电阻；
- (2) 设置 ANSEL 关闭相应端口的数字 I/O 功能；
- (3) 设置 ADCKS 选取适当的 AD 转换时钟；
- (4) 设置 VREF 选择参考电压；
- (5) 使能 ADON；
- (6) 置位 GCHS 和设置 ADCHS 选取 AD 转换通道；



- (7) ADST 写 1 启动 AD 转换;
- (8) 等待 ADEOC 置 1 (或利用 AD 中断);
- (9) 读取 ADC 转换结果 (ADRH、ADRL);
- (10) 重复执行 (6) ~ (8), 对不同的通道进行转换或对同一通道进行多次转换;

9.4 ADC 操作说明和注意事项

ADC 信号格式

ADC 采样电压范围为参考电压高/低电平之间, ADC 参考低电压为 GND, 高电压包括 VDD/4V/3V/2V, 外部参考电压由 VREFH 引脚提供 (由 VREFS 控制)。VREFS=0 时, ADC 参考电压选择内部参考源; VREFS=1 时, ADC 参考电压选择外部参考源 (VREFH)。ADC 参考电压的范围为: (ADC 参考高电压 - ADC 参考低电压) $\geq 2V$, ADC 参考低电压为 GND=0V, 故 ADC 参考高电压范围为 2V~VDD, 外部参考电压需在此范围之内。

- ✧ ADC 内部参考低电压 = 0V;
- ✧ ADC 内部端口低电压 = VDD/4V/3V/2V (VREFS = 0);
- ✧ ADC 外部参考电压 = 2V~VDD (VREFS = 1);

ADC 采样输入信号电压必须在 ADC 参考低电压和 ADC 参考高电压之间, 若 ADC 输入信号的电压不在此范围内, 则 ADC 的转换结果会出错 (满量程或者为 0)。

AD 转换时间

ADC 转换时间是指从 ADST=1 (开始 ADC) 到 ADEOC=1 (ADC 结束) 所用的时间, 由 ADC 分辨率和 ADC 时钟 Rate 控制, 12 位 ADC 的转换时间为 $1/(\text{ADC 时钟}/4) \times (\text{SAMPTS}+12)$; 8 位 ADC 的转换时间为 $1/(\text{ADC 时钟}/4) \times (\text{SAMPTS}+8)$ 。ADC 的时钟源为 Fcpu, 包括 Fcpu/1, Fcpu/2, Fcpu/8, Fcpu/16, 由 ADCKS[1:0]位控制。

ADC 的转换时间会影响 ADC 的性能, 如果输入高 Rate 的模拟信号, 必须要选择一个高 Rate 的 ADC 转换 Rate。如果 ADC 的转换时间比模拟信号的转换 Rate 慢, 则 ADC 的结果出错。故选择合适的 ADC 时钟 Rat 和 ADC 分辨率才能得到合适的 ADC 转换 Rate。

AD 转换精度与 AD 转换时钟有关系, 时钟越低, 精度越高。为了达到高精度, 建议 $F_{\text{ADC}} \leq 500\text{KHz}$ 。对于 F_{ADC} 大于 500KHz 的情况, 必须对同一个通道连续转换多次, 舍弃前 3 次数据, 取第 4 次之后的数据。

AD 转换过程分为 SAMPLE 时间和 CONVERT 时间, SAMPLE 时间由配置字 SAMPTS 位控制, SAMPTS 选择时间越长精度越高, 建议选择最大的 14 个 ADCLK。

AD 引脚配置

ADC 输入引脚与 P4 口共用, ADC 输入通道的选择由 ADCHS[2:0]控制, ADCCHS[2:0]=000 时选择 AIN0, ADCCHS[2:0]=001 时选择 AIN1……同一时间设置 P4 口的一个引脚作为 ADC 的输入引脚, 该引



脚必须设置为输入引脚，禁止内部上拉，并首先由程序使能 ANSEL 寄存器。通过 ADCHS[2:0]选择好 ADC 输入通道后，GCHS 置 1 以使能 ADC 功能。

- ✧ ADC 输入引脚为 GPIO 引脚时必须设为输入模式；
- ✧ 必须禁止 ADC 输入引脚的内部上拉电阻；
- ✧ ADC 输入通道的 ANSEL 位必须置 1；

VREFS = 1 时，P40/AIN0 为 ADC 外部参考源的输入引脚，此时，P40 必须设为输入模式，并禁止其上拉电阻。

- ✧ ADC 外部参考源输入引脚为 GPIO 引脚时必须设为输入模式；
- ✧ 必须禁止 ADC 外部参考源输入引脚的内部上拉电阻；

ADC 输入引脚与普通 I/O 引脚共用。当输入一个模拟信号到 CMOS 结构端口时，尤其当模拟信号为 $V_{DD}/2$ 时，可能产生额外的漏电流。当 P4 输入多个模拟信号时，也会产生额外的漏电流。休眠模式下，上述漏电流会严重影响到系统的整体功耗。ANSEL 为 P4 口的设置寄存器，将 ANSEL[5:0]置 1，其对应的 P4 引脚将被设为纯模拟信号输入引脚，从而避免上述漏电流的产生。



10 中断

芯片的中断源包括外部中断（INT0~INT1）、定时器中断（T0~T2）、ADC 中断等。可通过中断总使能位 GIE 屏蔽所有中断。

CPU 响应中断的过程如下：

- ✧ CPU 响应中断源触发的中断请求时，自动将当前指令之后将要执行的下一条指令的地址压栈保存，自动清 0 中断总使能位 GIE 以暂停响应后续中断。与复位不同，硬件中断不停止当前指令的执行，而是暂时挂起中断继续执行当前指令，完成后再处理中断。
- ✧ CPU 响应中断后，程序跳至中断入口地址（0008H）开始执行中断服务程序，中断服务程序应先通过 PUSH 指令保存累加器 A 和状态寄存器 PFLAG，然后处理被触发的中断。
- ✧ 中断服务程序处理完中断后，应先通过 POP 指令恢复累加器 A 和状态寄存器 PFLAG，再执行 RETIE 指令以返回主程序。系统将自动恢复 GIE 为 1，然后从堆栈取出此前保存的 PC 值，CPU 从响应中断时正在执行指令的下一条指令的地址处开始继续运行。

10.1 外部中断

芯片具有 2 路外部中断源 INT0/INT1，INT0 可选择上升沿、下降沿或电平变化等触发方式，INT1 固定为下降沿触发。外部中断触发时，中断标志 INTnIF（n=0-1）将被置 1，若 GIE 为 1 且相应的外部中断使能位 INTnIE（n=0-1）为 1，则产生外部中断。

外部中断控制寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
PEDGE	-	-	-	MINT01	MINT00	-	-	-
R/W	-	-	-	R/W	R/W	-	-	-
初始值	-	-	-	1	0	-	-	-

BIT[4:3] MINT0[1:0] – 外部中断 INT0 触发方式选择位

MINT0[1:0]	INT0 触发方式
00	保留
01	上升沿触发
10	下降沿触发
11	电平变化触发

10.2 定时器中断

定时器 Tn（n=0-2）在计数溢出时将触发定时器中断，中断标志 TnIF（n=0-2）将被置 1，若 GIE 为 1 且相应的定时器中断使能位 TnIE（n=0-2）为 1，则产生定时器中断。



10.3 ADC 中断

AD 转换完成时将触发 ADC 中断，中断标志 ADIF 将被置 1，若 GIE 为 1 且 ADC 中断使能位 ADIE 为 1，则产生 ADC 中断。

10.4 中断相关寄存器

中断使能寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
INTE	ADIE	T1IE	T0IE	T2IE	–	–	INT1IE	INT0IE
R/W	R/W	R/W	R/W	R/W	–	–	R/W	R/W
初始值	0	0	0	0	–	–	0	0

BIT[7] **ADIE** – ADC 中断使能位

0: 屏蔽 ADC 中断;

1: 使能 ADC 中断;

BIT[6] **T1IE** – 定时器 T1 中断使能位

0: 屏蔽定时器 T1 中断;

1: 使能定时器 T1 中断;

BIT[5] **T0IE** – 定时器 T0 中断使能位

0: 屏蔽定时器 T0 中断;

1: 使能定时器 T0 中断;

BIT[4] **T2IE** – 定时器 T2 中断使能位

0: 屏蔽定时器 T2 中断;

1: 使能定时器 T2 中断;

BIT[1] **INT1IE** – INT1 中断使能位

0: 屏蔽 INT1 中断;

1: 使能 INT1 中断;

BIT[0] **INT0IE** – INT0 中断使能位

0: 屏蔽 INT0 中断;

1: 使能 INT0 中断;

中断标志寄存器

	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
INTF	ADIF	T1IF	T0IF	T2IF	–	–	INT1IF	INT0IF
R/W	R/W	R/W	R/W	R/W	–	–	R/W	R/W



初始值	0	0	0	0	-	-	0	0
-----	---	---	---	---	---	---	---	---

BIT[7] **ADIF** – ADC 中断标志位

0: 未触发 ADC 中断;

1: 已触发 ADC 中断, 需软件清 0;

BIT[6] **T1IF** – 定时器 T1 中断标志位

0: 未触发定时器 T1 中断;

1: 已触发定时器 T1 中断, 需软件清 0;

BIT[5] **T0IF** – 定时器 T0 中断标志位

0: 未触发定时器 T0 中断;

1: 已触发定时器 T0 中断, 需软件清 0;

BIT[4] **T2IF** – 定时器 T2 中断标志位

0: 未触发定时器 T2 中断;

1: 已触发定时器 T2 中断, 需软件清 0;

BIT[1] **INT1IF** – INT1 中断标志位

0: 未触发 INT1 中断;

1: 已触发 INT1 中断, 需软件清 0;

BIT[0] **INT0IF** – INT0 中断标志位

0: 未触发 INT0 中断;

1: 已触发 INT0 中断, 需软件清 0;



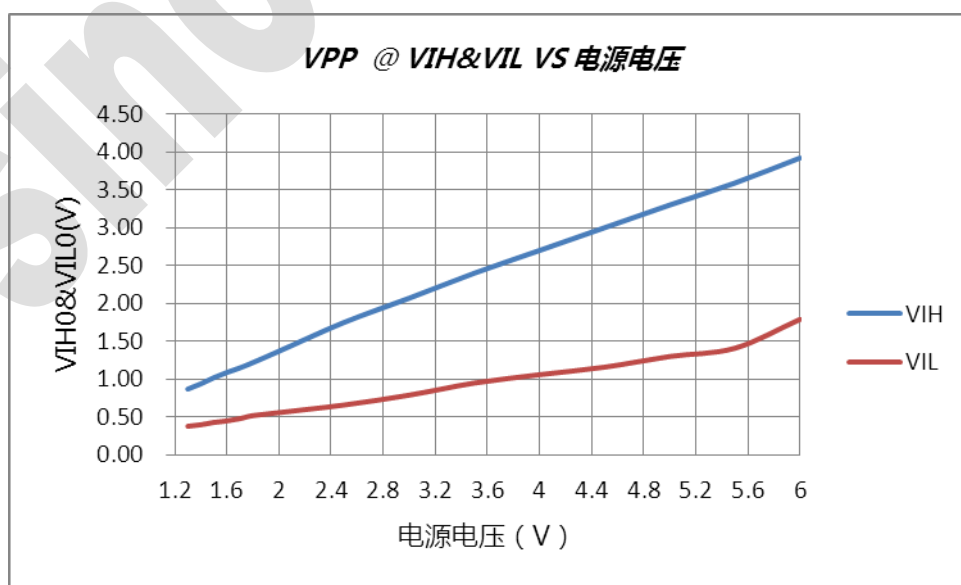
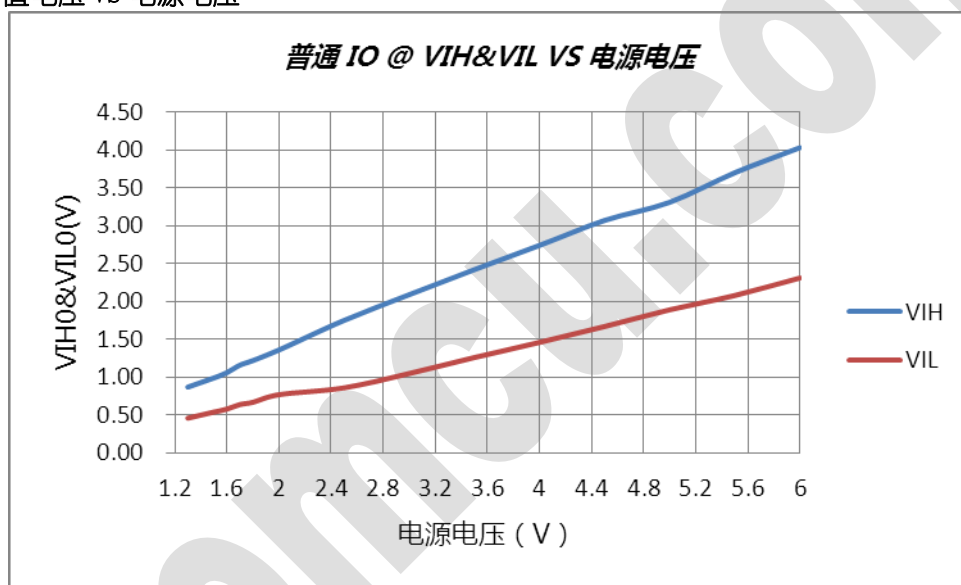
11 特性曲线

注:

- 1、特性曲线图中数据均源自抽样实测, 仅作为应用参考, 部分数据因生产工艺偏差, 可能与实际芯片不符; 为保证芯片能正常工作, 请确保其工作条件符合电气特性参数说明;
- 2、图文中若无特别说明, 则电压特性曲线的温度条件为 $T=25^{\circ}\text{C}$, 温度特性曲线的电压条件为 $V_{DD}=5\text{V}$;

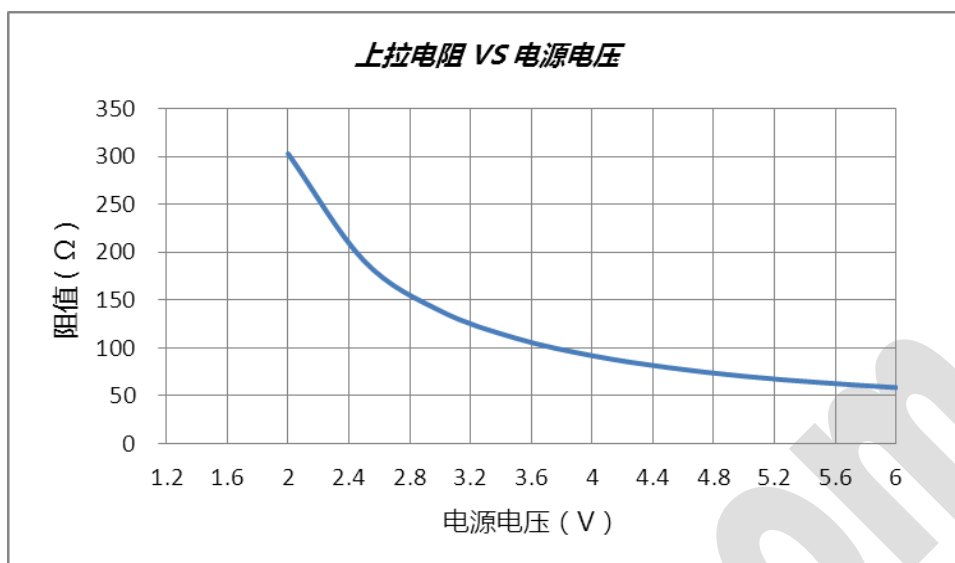
11.1 I/O 特性

输入 SMT 阈值电压 VS 电源电压

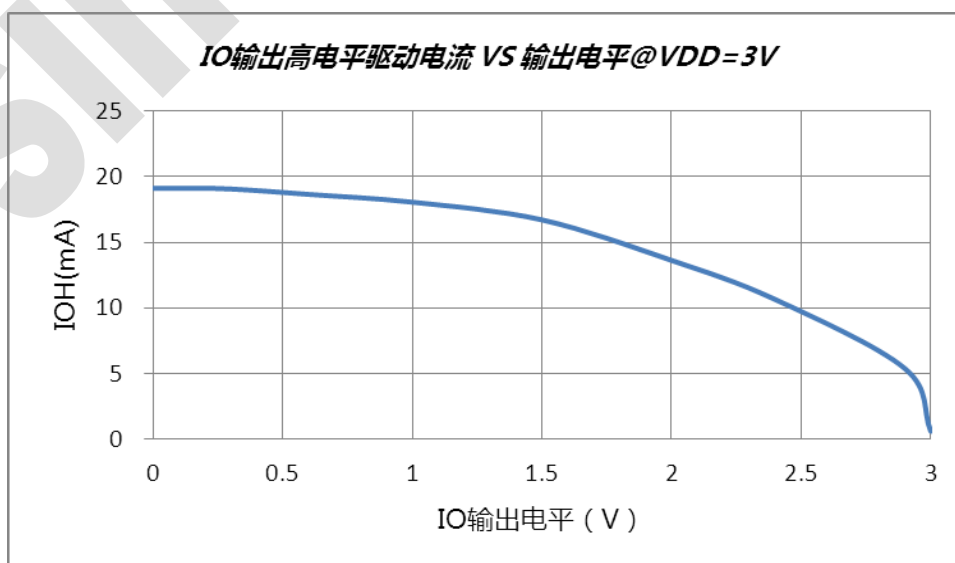
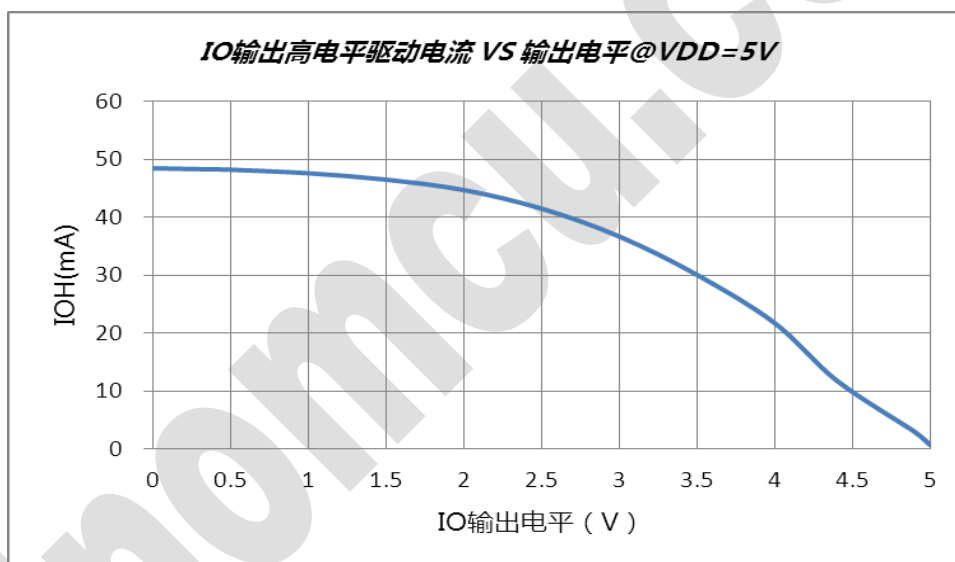


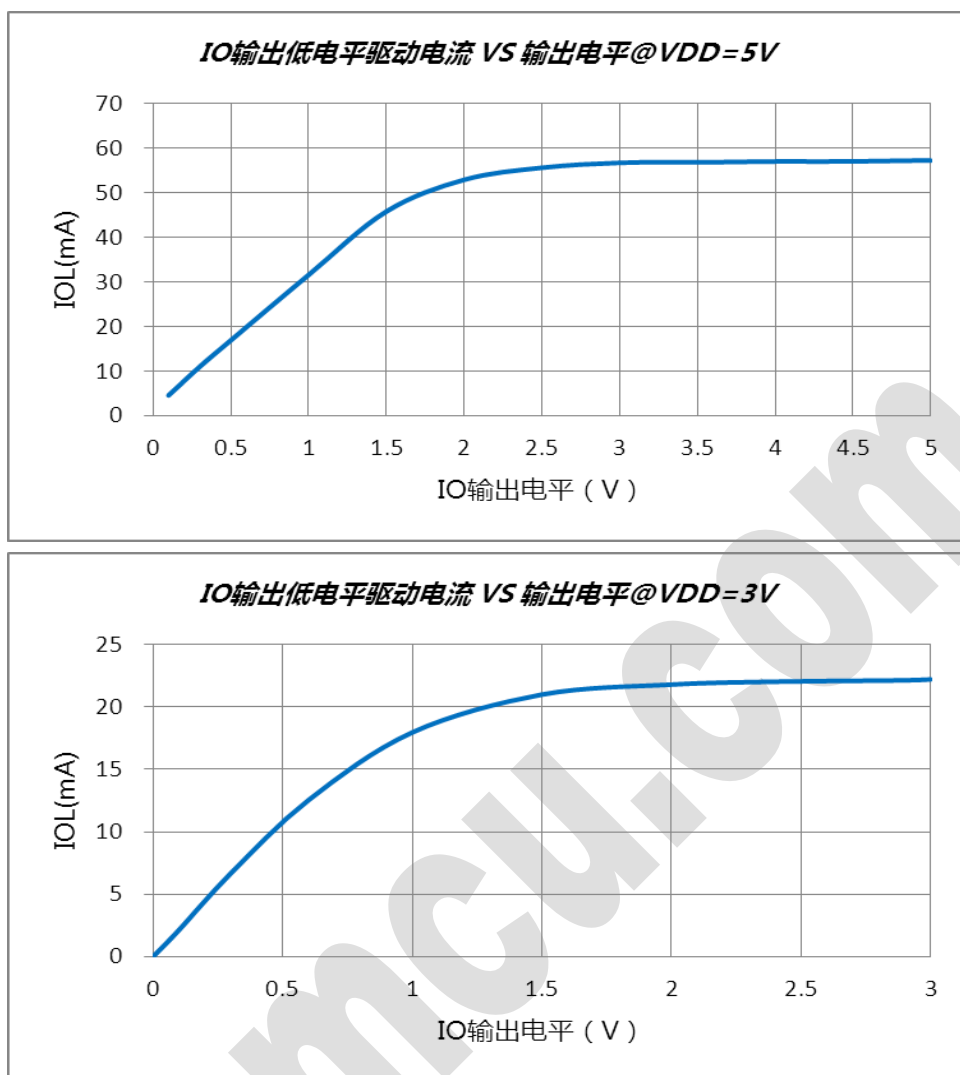


上/下拉电阻值 VS 电源电压



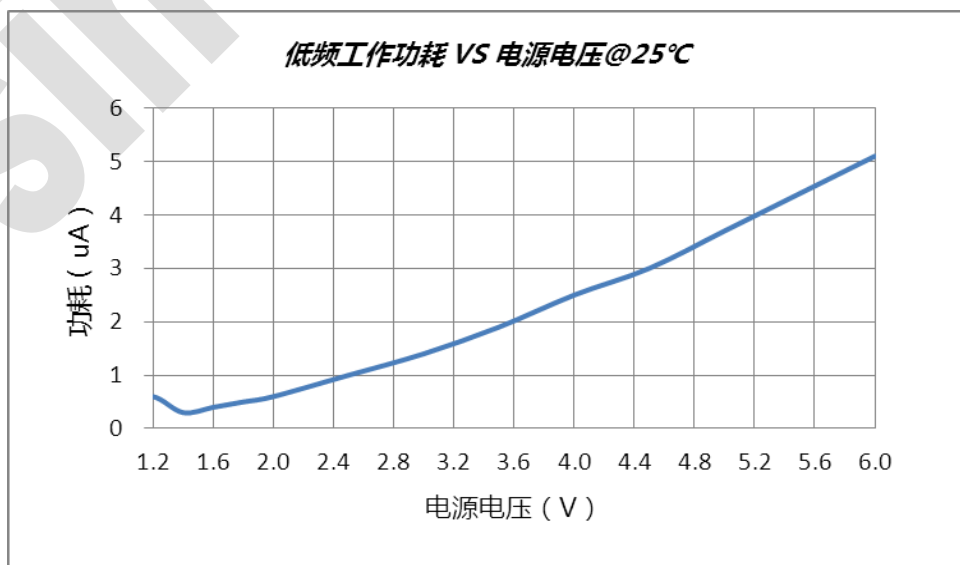
I/O 输出电流 VS 端口电压 (VDD=5V)





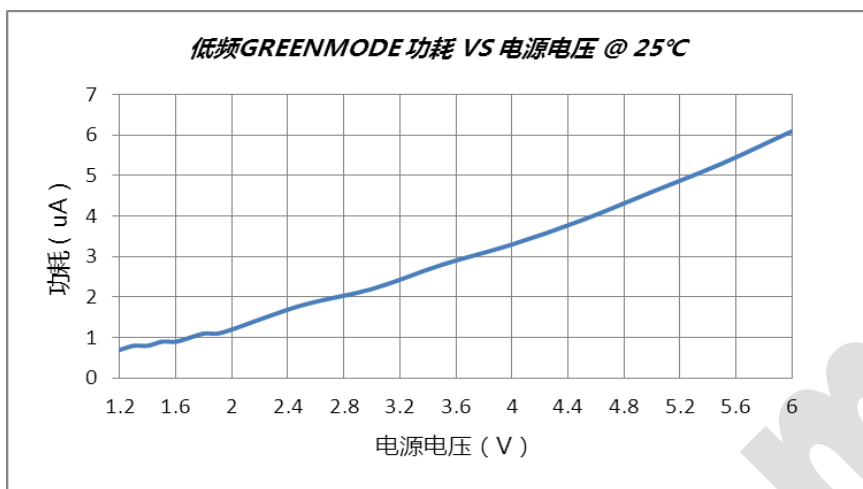
11.2 功耗特性

低速模式 功耗 VS 电源电压

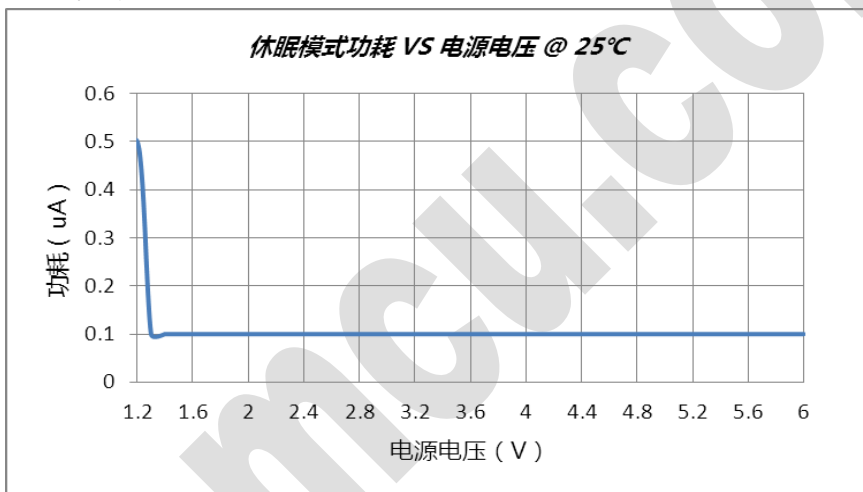




空闲模式 功耗 VS 电源电压

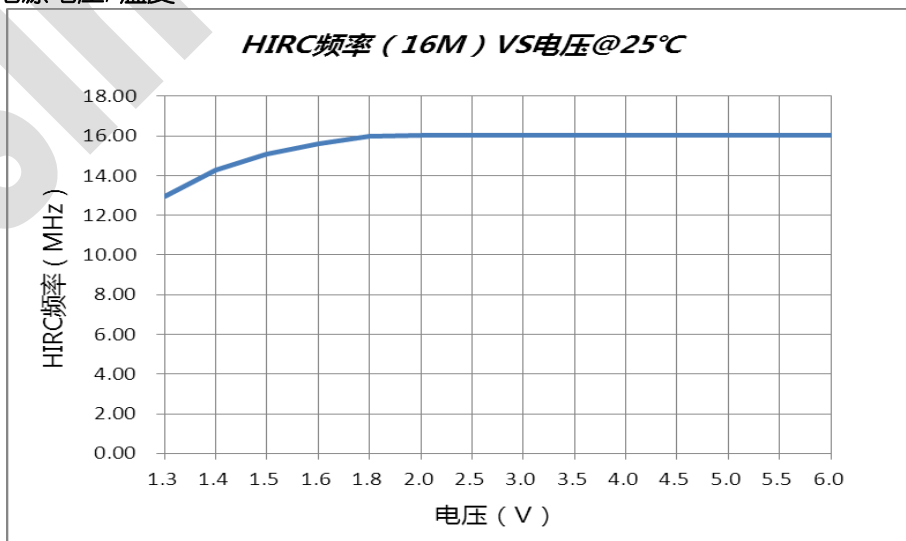


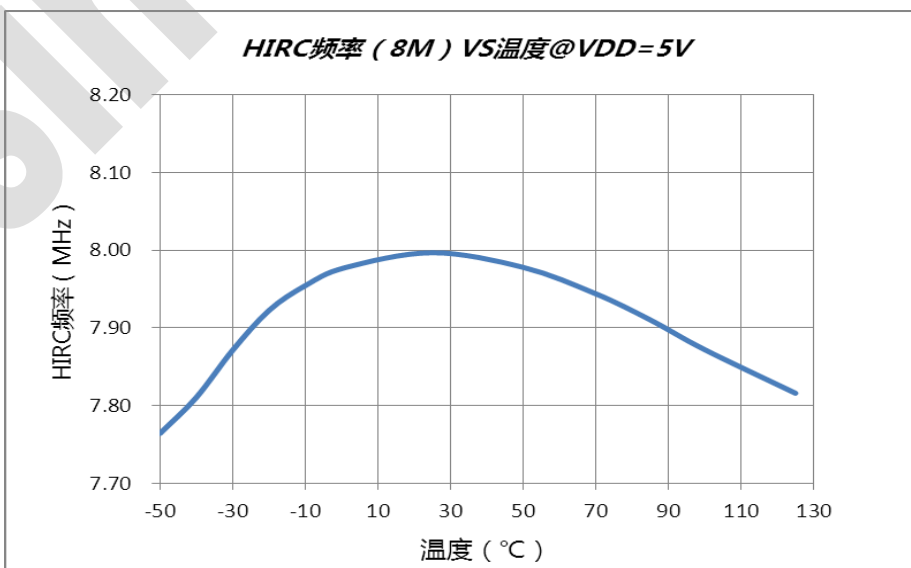
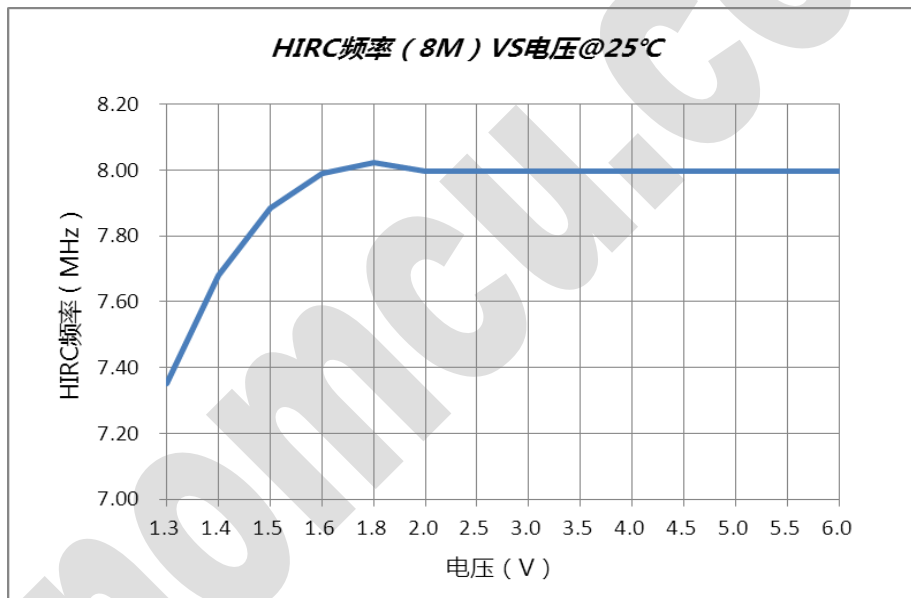
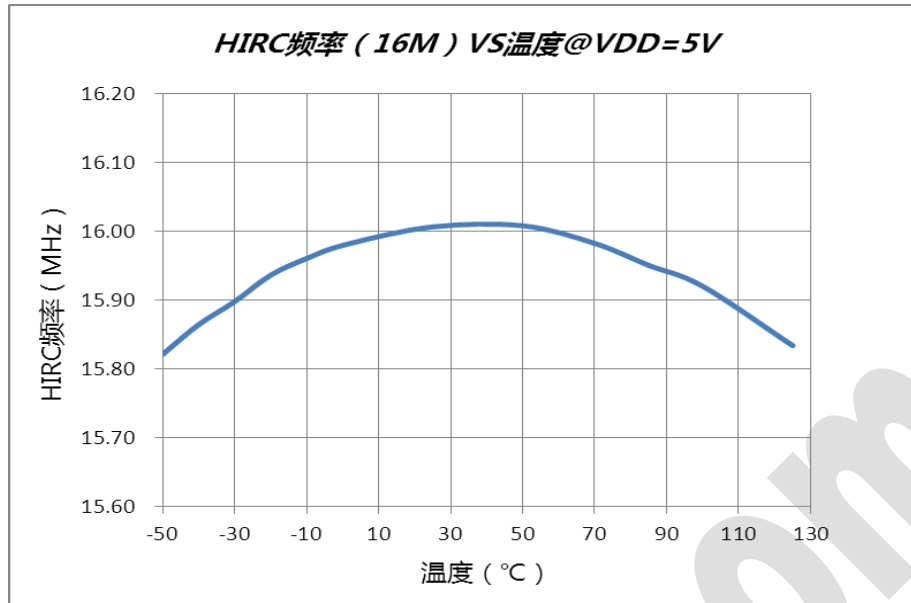
休眠模式 功耗 VS 电源电压

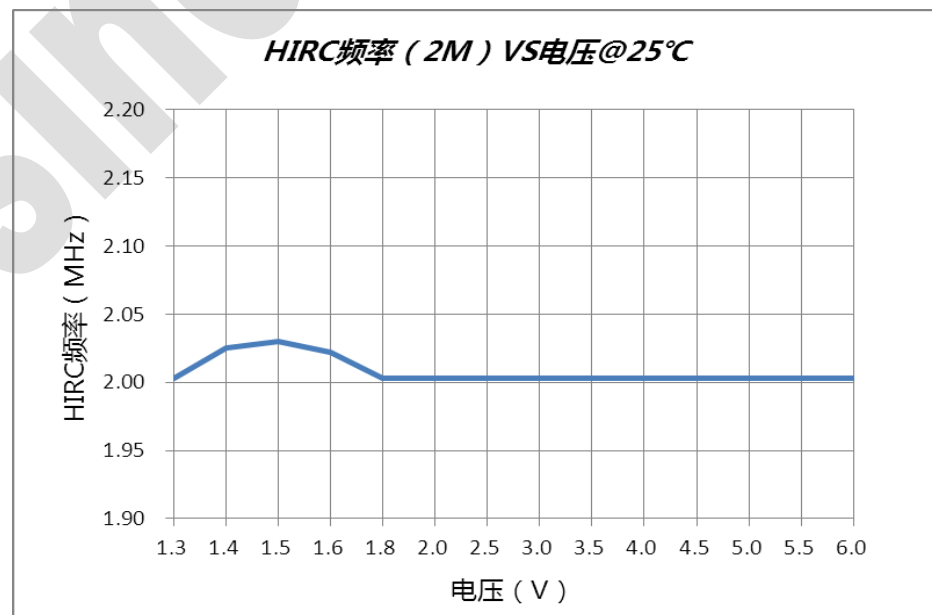
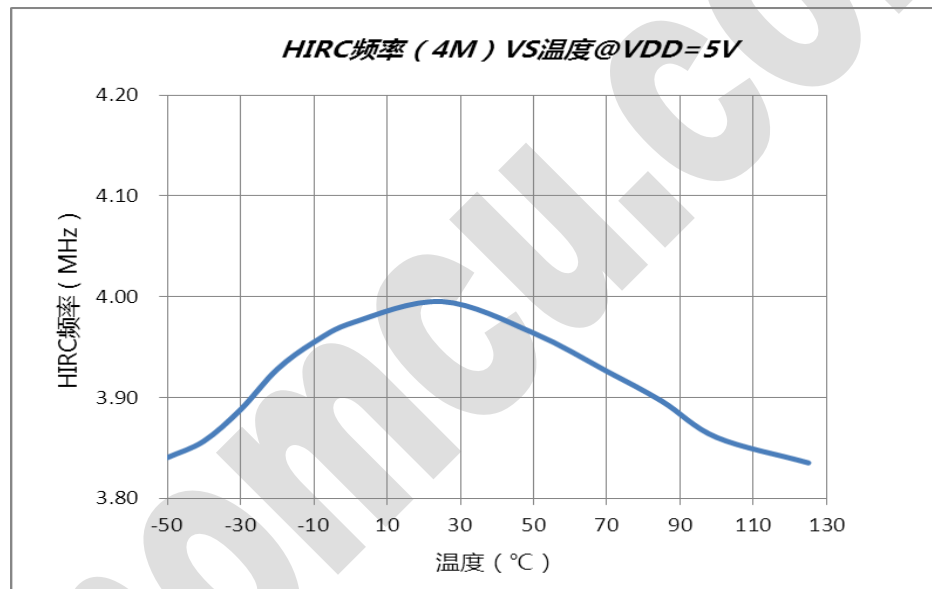
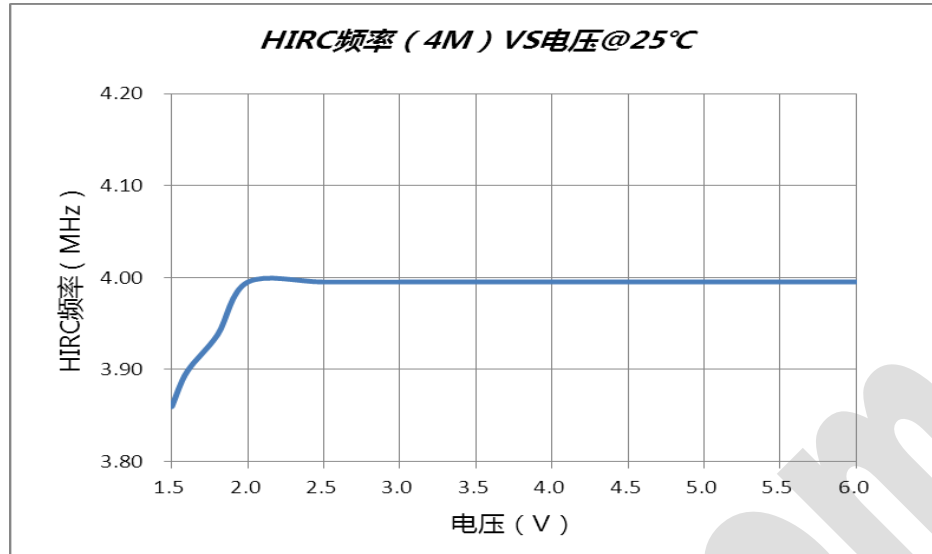


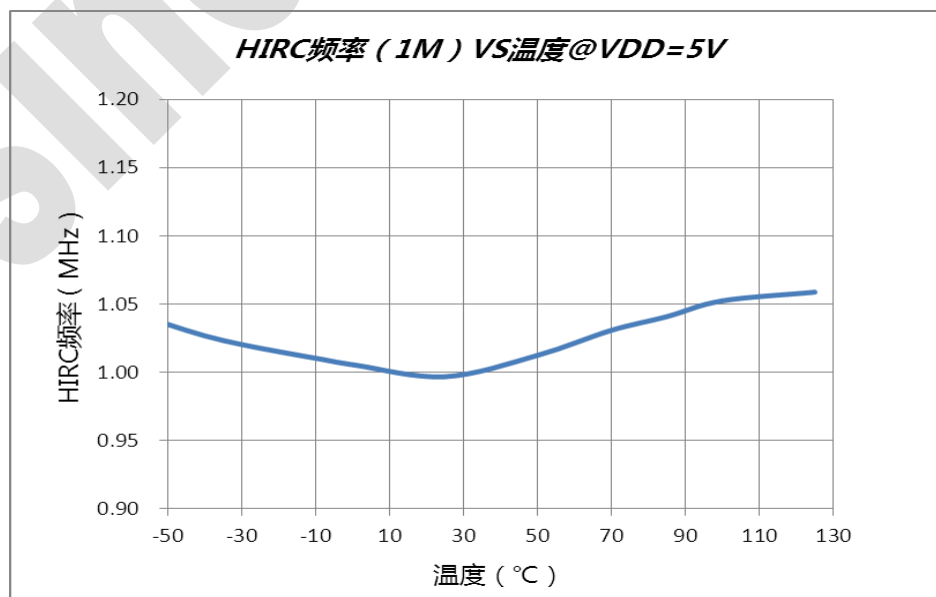
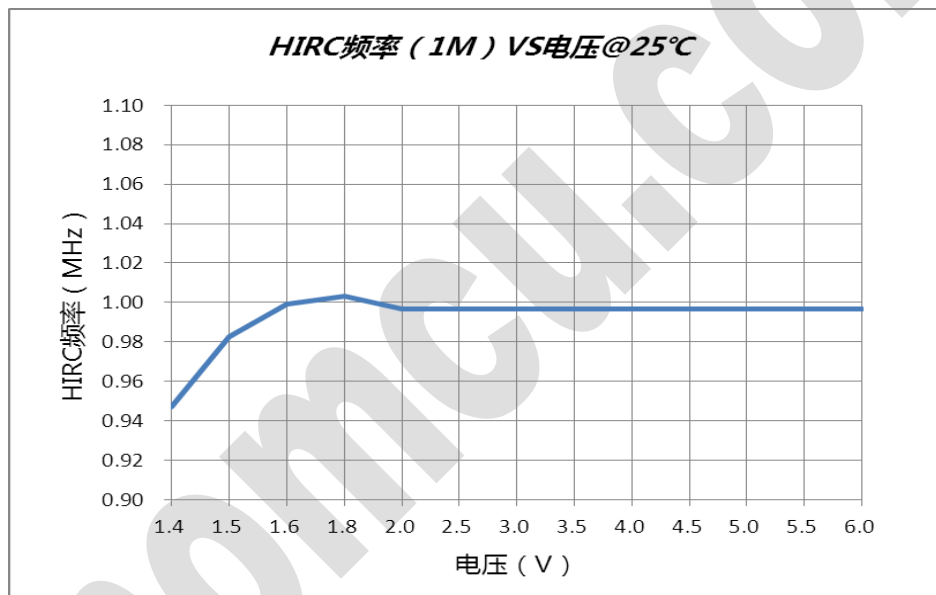
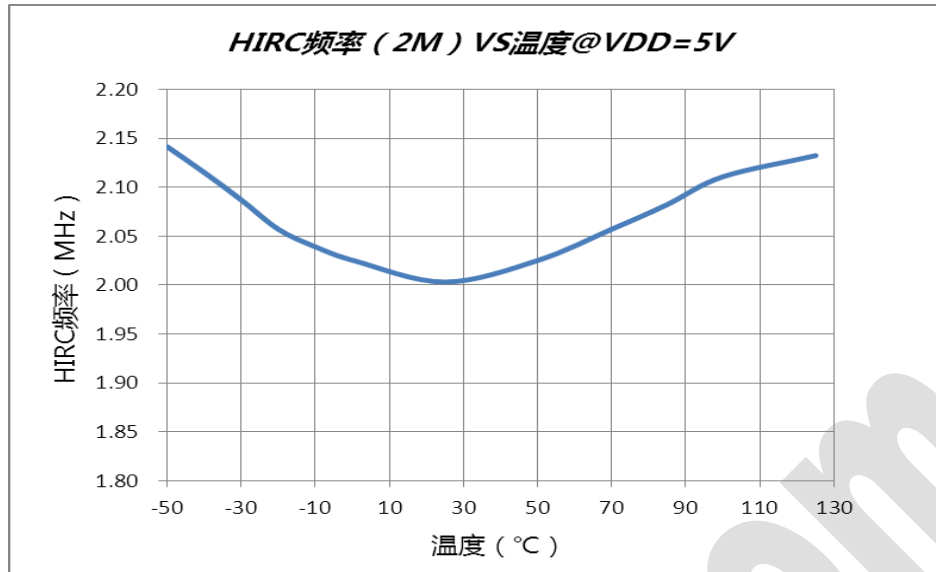
11.3 模拟电路特性

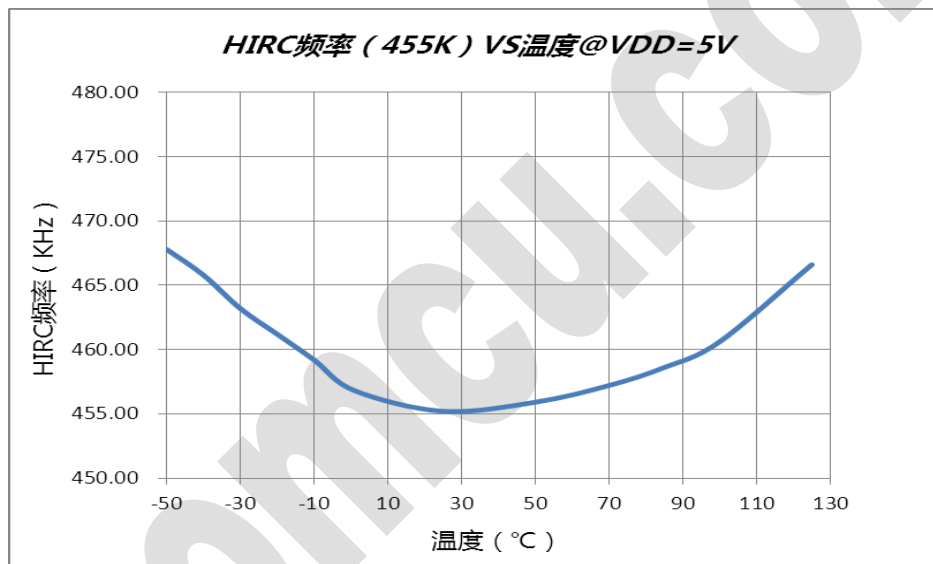
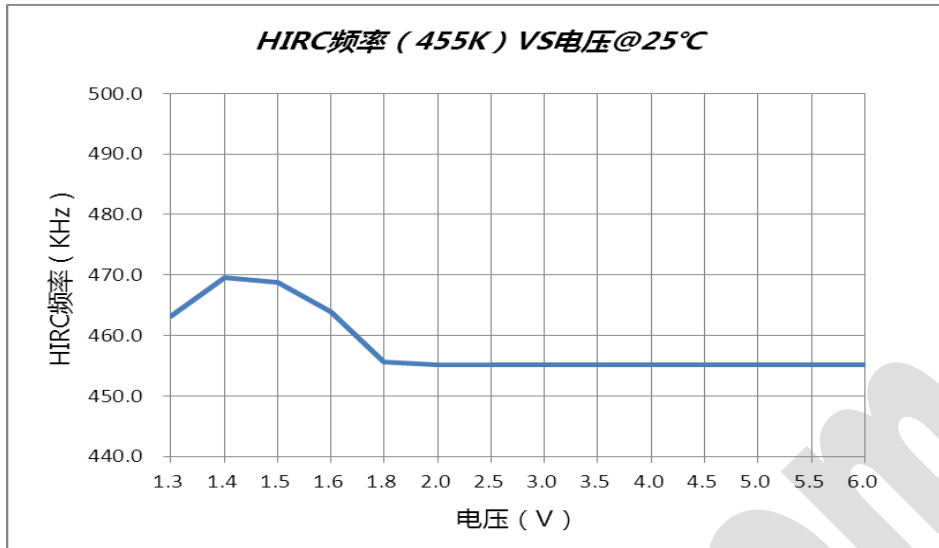
HIRC 频率 VS 电源电压/温度



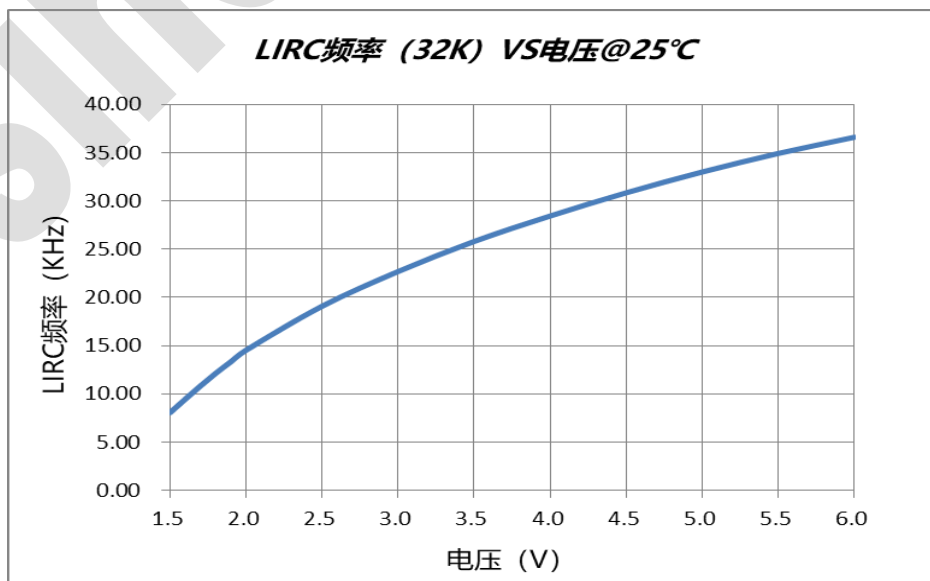


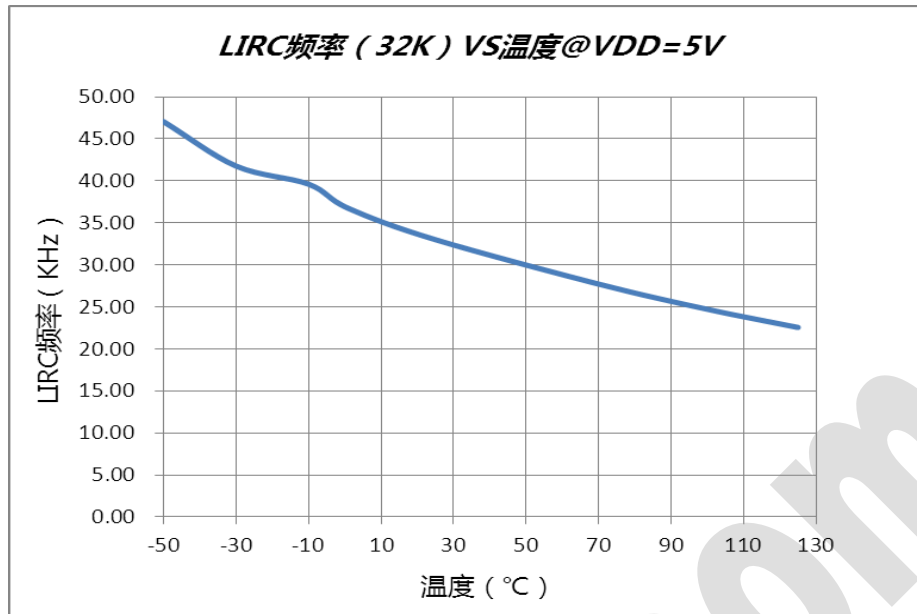




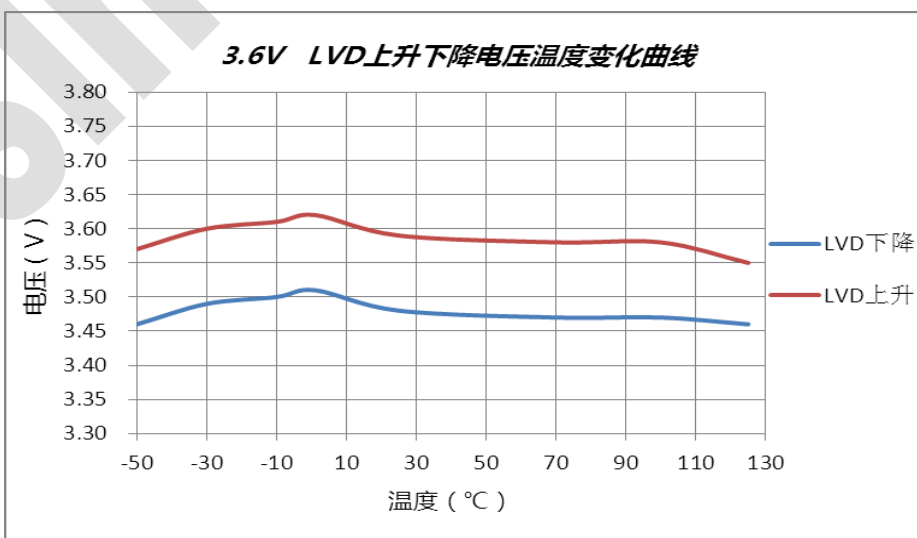
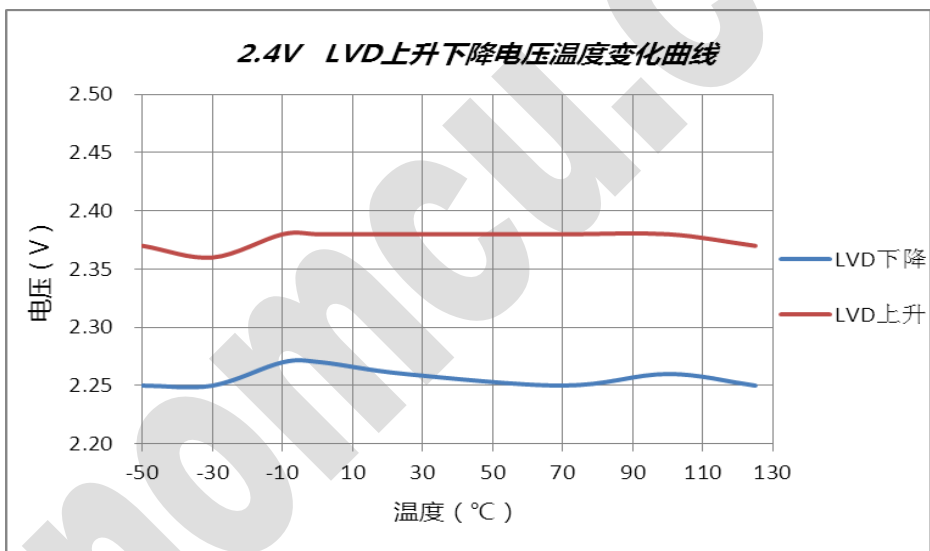


LIRC 频率 VS 电源电压/温度



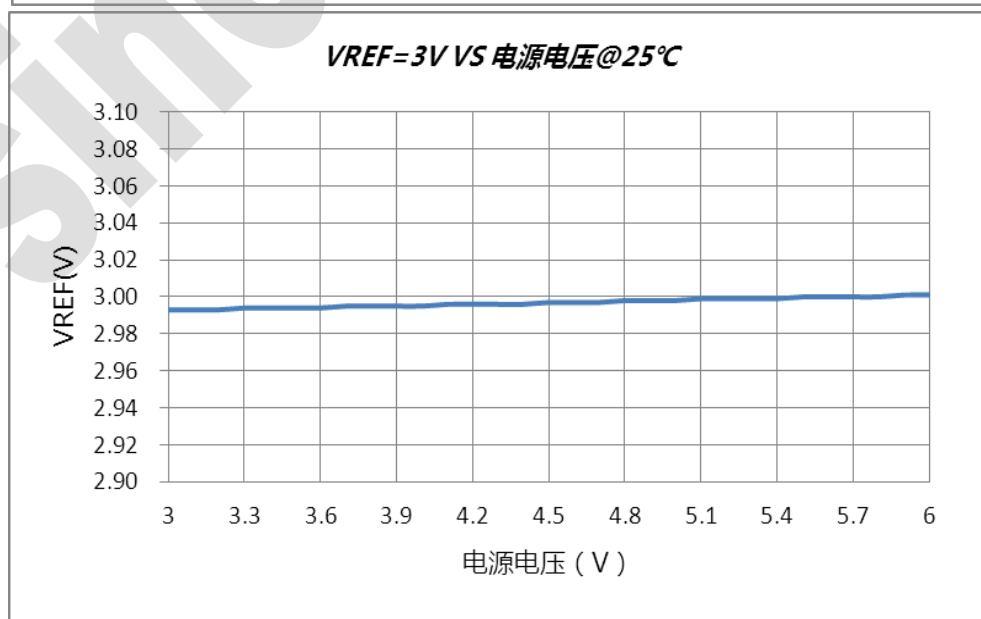
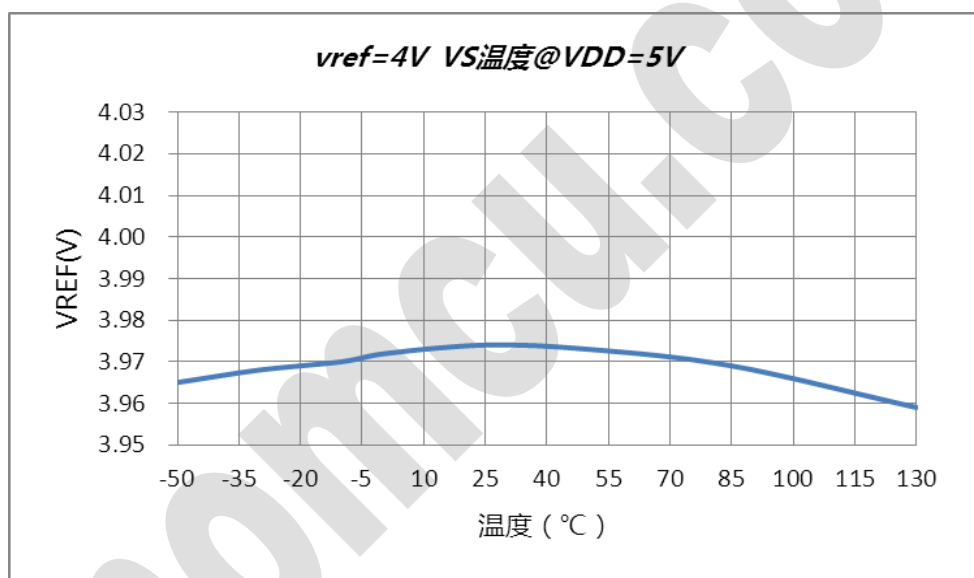
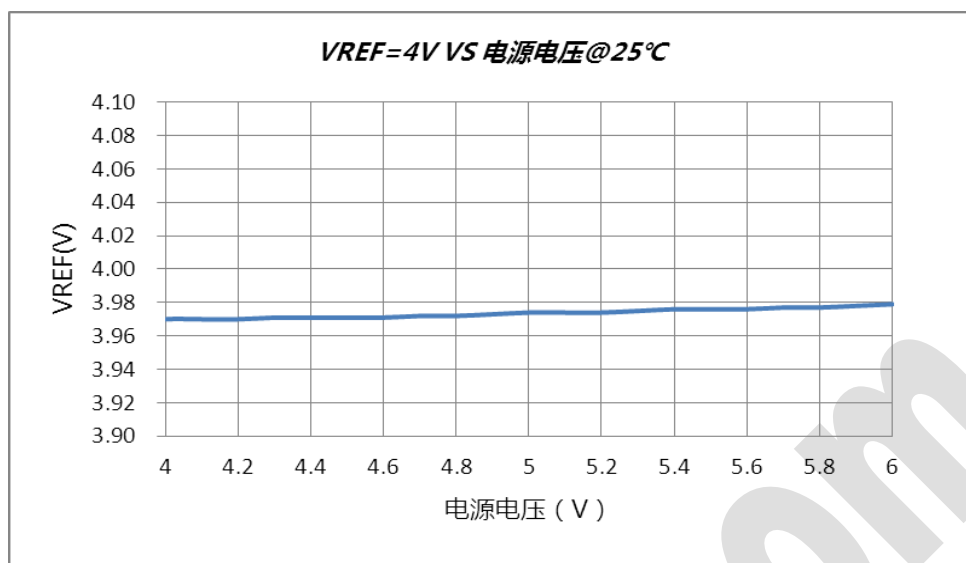


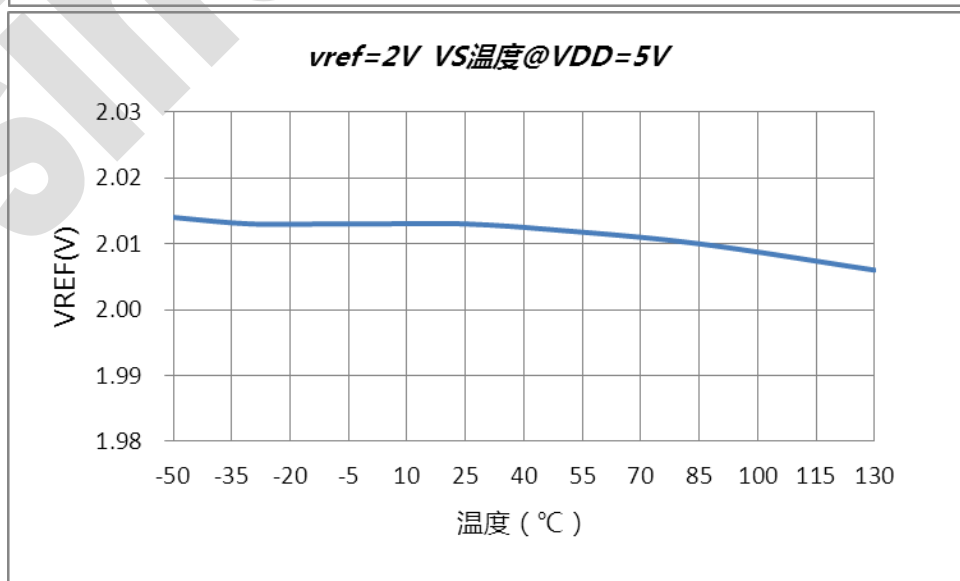
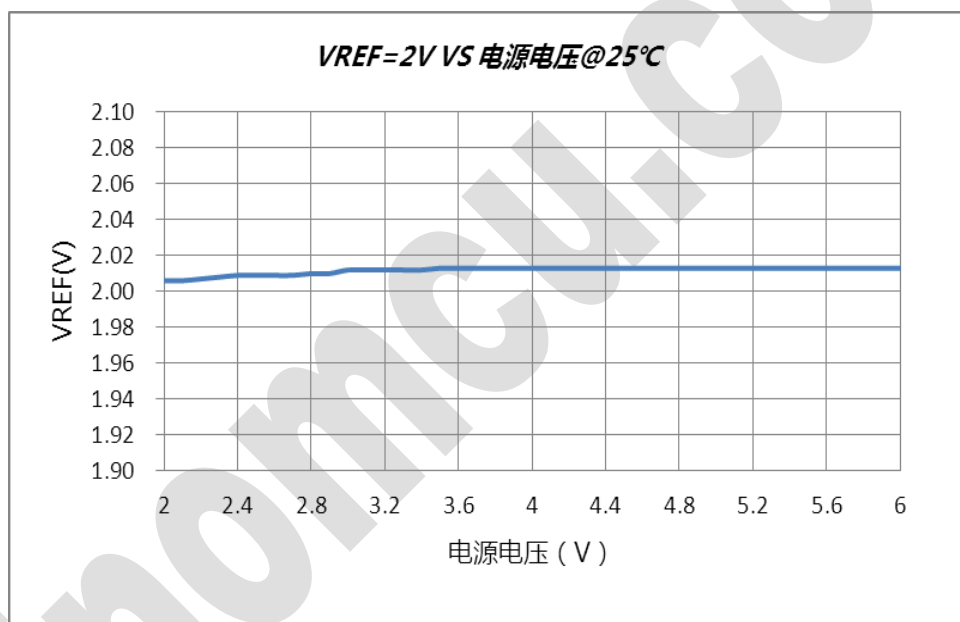
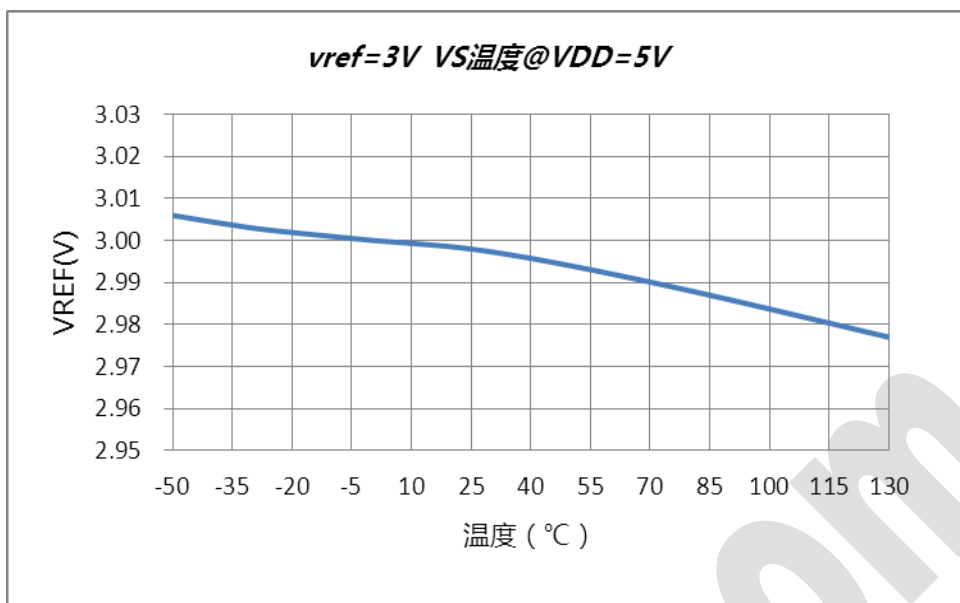
LVD 电压 VS 温度





内部参考电压 VS 电源电压/温度



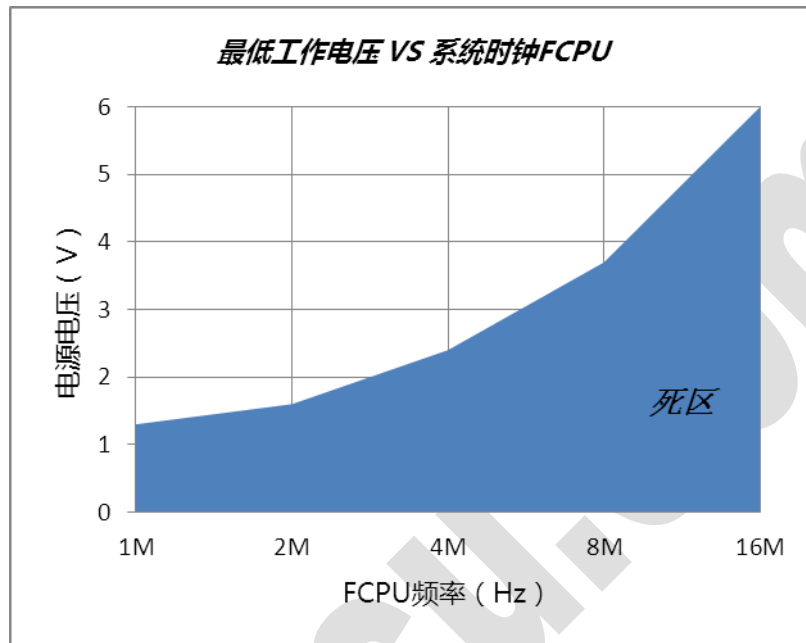




最低工作电压 VS CPU 时钟

系统最低工作电压和系统工作频率 FCPU 有关，不同的工作频率 FCPU 最低工作电压不同。

如下图所示，当工作频率提高时系统正常工作电压也随之提高，但由于 POR 电压固定(1.2V@25℃)，在系统最低工作电压和 POR 电压之间就会出现一个不能正常工作的电压区域，此区域系统不能正常工作也不会产生 POR 复位，称之为死区，必须根据不同的工作频率设置大于死区电压的 LVR 电压避免出现死区。



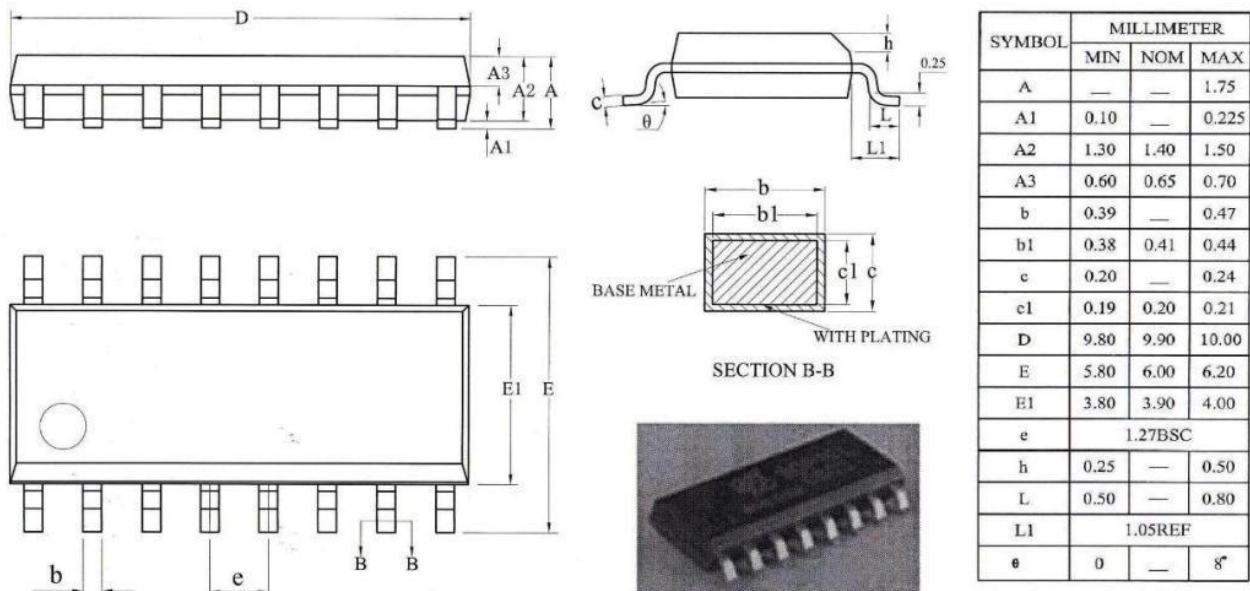
LVR 电压选择如下：

CPU 频率	LVR 电压值
8MHz	3.0V
4MHz	2.7V
2MHz	2.0V
1MHz	2.0V
455KHz	2.0V

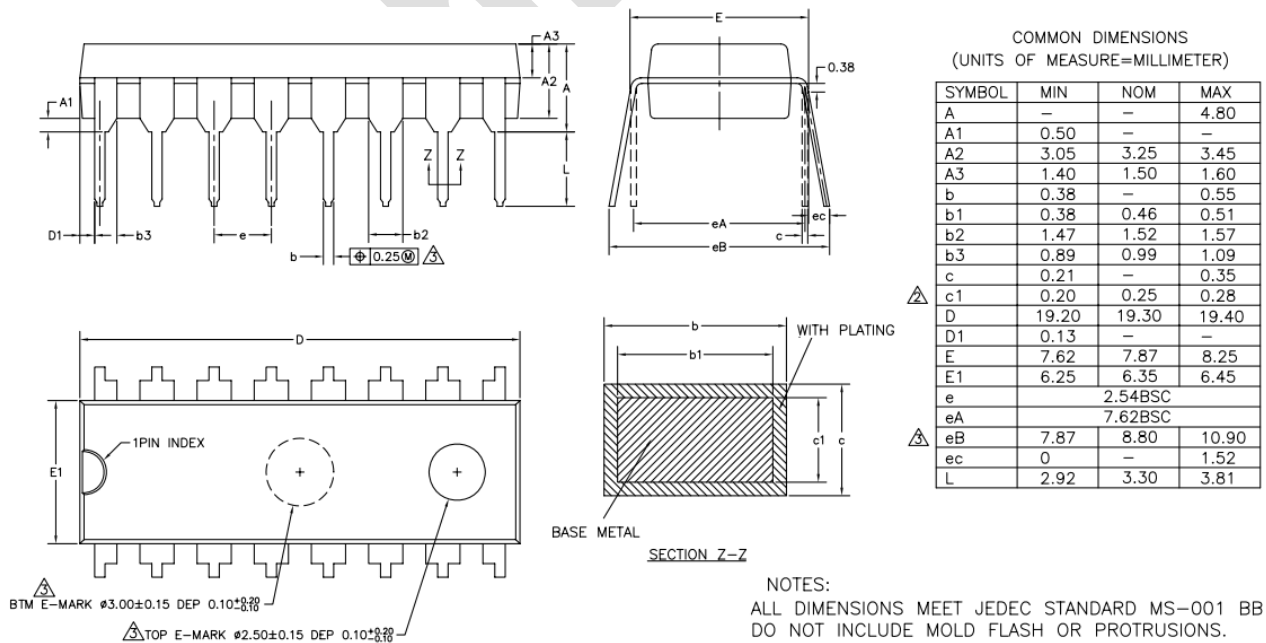


12 封装尺寸

12.1 SOP16

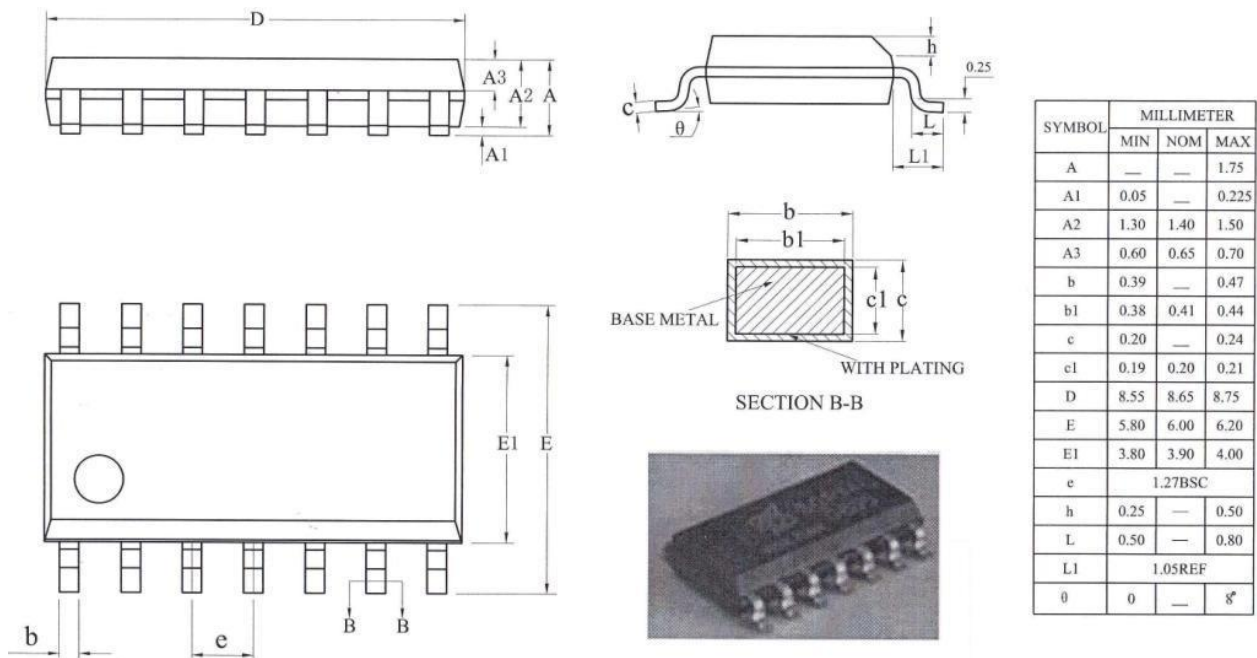


12.2 DIP16

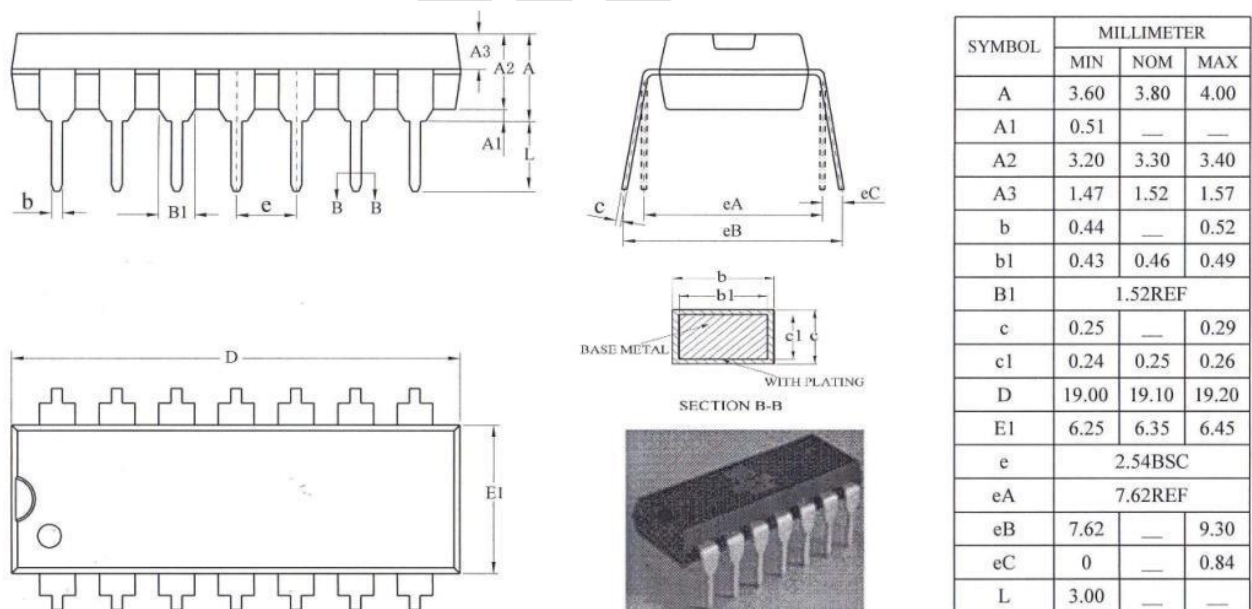




12.3 SOP14

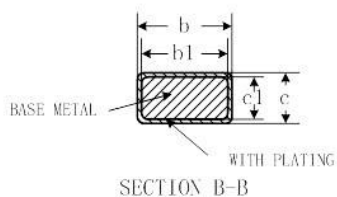
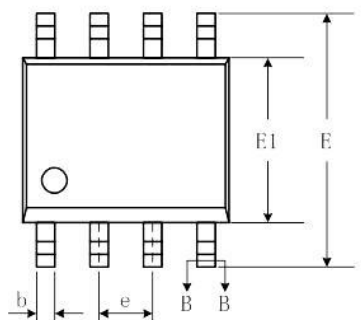
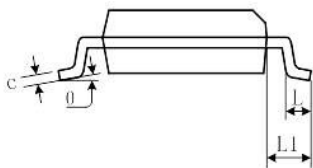
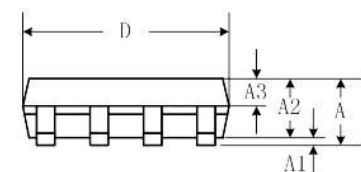


12.4 DIP14



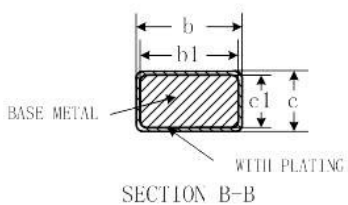
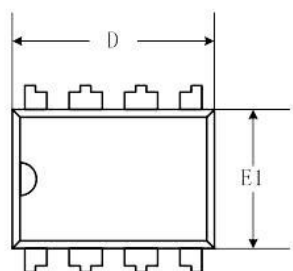
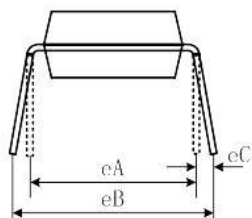
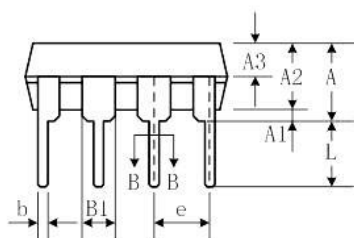


12.5 SOP8



SYMBOL	MILLIMETER		
	MIN	TYP	MAX
A	-	-	1.77
A1	0.08	0.18	0.28
A2	1.20	1.40	1.60
A3	0.55	0.65	0.75
b	0.39	-	0.48
b1	0.38	0.41	0.43
c	0.21	-	0.26
c1	0.19	0.20	0.21
D	4.70	4.90	5.10
E	5.80	6.00	6.20
E1	3.70	3.90	4.10
e	1.27BSC		
L	0.50	0.65	0.80
L1	1.05BSC		
θ	0	-	8°

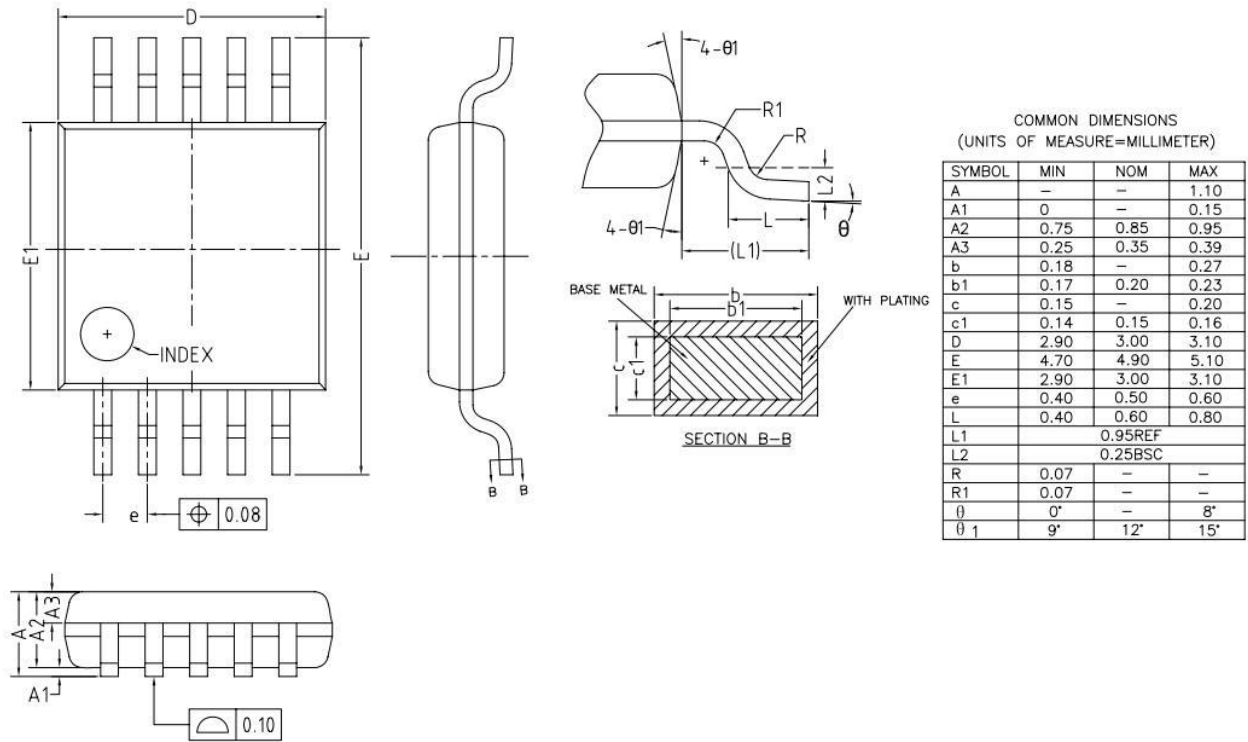
12.6 DIP8



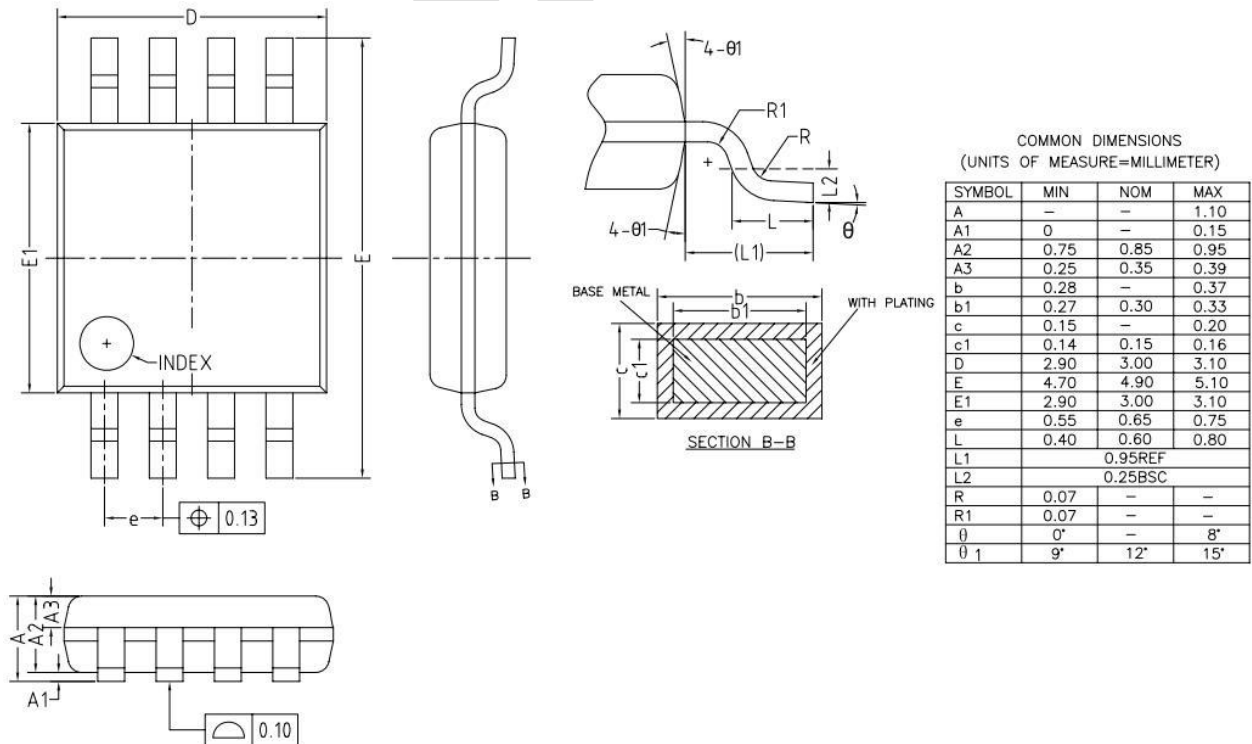
SYMBOL	MILLIMETER		
	MIN	TYP	MAX
A	3.60	3.80	4.00
A1	0.51	-	-
A2	3.10	3.30	3.50
A3	1.50	1.60	1.70
b	0.44	-	0.53
b1	0.43	0.46	0.48
B1	1.52BSC		
c	0.25	-	0.31
c1	0.24	0.25	0.26
D	9.05	9.25	9.45
E1	6.15	6.35	6.55
e	2.54BSC		
eA	7.62BSC		
eB	7.62	-	9.50
eC	0	-	0.94
L	3.00	-	-



12.7 MSOP10



12.8 MSOP8





13 修订记录

版本	日期	修订内容
V1.0	2016-01-26	发布初版；
V1.1	2016-04-05	修订笔误；新增 8 脚和 14 脚封装；直流电气特性的 VREF 端口改为 P40； 增加 P02 的 SD0 功能描述，增加 P04 用作复位脚时带上拉电阻的描述；
V1.2	2017-04-05	修订笔误，更新页眉；增加指令的应用笔记说明；
V1.3	2017-10-10	修改 LVR 配置项，修改工作电压特性及推荐 LVR 值；修改 HIRC 电气参数；
V1.4	2017-06-20	新增 MSOP8 封装 A0I 和 MSOP10 封装 A0F；
V1.5	2018-10-17	增加 ADC 应用注释，建议 AD 时钟限制 500KHz 以下，采样时间配置为 14 个 ADCLK； 去除程序存储器按 1K 容量烧录 2 次的功能；
V1.6	2019-08-23	修订笔误，更新封装尺寸图，调整文档格式及章节顺序；
V1.7	2021-04-20	修订空闲模式描述笔误；调整 HIRC 频率特性参数；
V1.8	2021-10-08	修订 LIRC 特性曲线图中笔误；
V1.9	2021-12-09	修订系统时钟示意图中笔误；
V2.0	2022-10-19	更新字体、水印、公司标志等文档格式；修订笔误；